

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1036 U.S. PTO  
09/981402  
10/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月20日

出 願 番 号

Application Number:

特願2000-320402

出 願 人

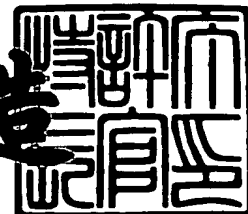
Applicant(s):

日本電気株式会社

2001年 7月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3067135

【書類名】 特許願

【整理番号】 74410431

【提出日】 平成12年10月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明の名称】 半導体装置及び半導体装置の製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 佐藤 好弘

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100096231

    【弁理士】

    【氏名又は名称】 稲垣 清

    【電話番号】 03-5295-0851

【手数料の表示】

    【予納台帳番号】 029388

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9303567

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 カarbonを含む原料ガスを使って成膜した絶縁膜を有するトランジスタ構造をシリコン基板上に備えた半導体装置において、

カーボンがシリコン基板側に拡散するのを防止する膜として、シリコン窒化膜が、前記絶縁膜と前記シリコン基板との間に形成されていることを特徴とする半導体装置。

【請求項 2】 前記絶縁膜がタンタルオキサイド ( $\text{Ta}_2\text{O}_5$ ) 膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体装置がトランジスタ部とキャパシタ部を備える DRAM であって、前記タンタルオキサイド膜が前記キャパシタ部の容量絶縁膜であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 層間絶縁膜を貫通して、シリコン基板内に形成された拡散層と接続するコンタクトを備え、

カーボン拡散防止膜として、シリコン窒化膜が、前記コンタクトと前記拡散層との接続部を除いた領域を横断して前記シリコン基板上に成膜されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 第 1 層間絶縁膜を貫通して、シリコン基板内に形成された拡散層と接続するコンタクトと、キャパシタ部の下部電極と前記コンタクトとの間に第 2 及び第 3 層間絶縁膜を貫通して介在し、前記下部電極を前記コンタクトに接続する容量コンタクトとを備え、

シリコン窒化膜が、カーボン拡散防止膜として、前記下部電極と前記容量コンタクトとの接続部を除いた領域を横断して前記第 3 層間絶縁膜上に成膜されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】 第 1 層間絶縁膜を貫通して、シリコン基板内に形成された拡散層と接続するコンタクトと、キャパシタ部の下部電極と前記コンタクトとの間に第 2 及び第 3 層間絶縁膜を貫通して介在し、前記下部電極を前記コンタクトに接続する容量コンタクトとを備え、

シリコン窒化膜が、カーボン拡散防止膜として、前記容量コンタクトを除いた領域を横断して前記第 3 層間絶縁膜中に成膜されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 7】 シリコン基板上にワード線を形成した後、カーボン拡散防止膜としてシリコン窒化膜を基板全面に成膜する工程と、

前記シリコン窒化膜上に第 1 層間絶縁膜を成膜して前記ワード線を埋設した後、前記シリコン窒化膜に対して選択的なエッチング法によって前記第 1 層間絶縁膜をエッチングしてセルコンタクトホールを開口し、前記セルコンタクトホールの底部に前記シリコン窒化膜を露出させる工程と、

前記セルコンタクトホールの底部に露出した前記シリコン窒化膜を選択的にエッチングして除去し、前記シリコン基板を露出させる工程と、

前記セルコンタクトホールを埋め込み、前記シリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 8】 シリコン基板上にワード線を形成し、次いで第 1 層間絶縁膜を成膜してワード線を埋設した後、前記第 1 層間絶縁膜を貫通して前記シリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と、

前記第 1 層間絶縁膜上に、第 2 層間絶縁膜、更にビット線を形成し、続いて第 3 層間絶縁膜を基板全面に成膜して前記ビット線を埋設した後、前記第 3 層間絶縁膜及び第 2 層間絶縁膜を貫通し、前記セルコンタクト・プラグに接続する容量コンタクト・プラグを形成する工程と、

前記第 3 層間絶縁膜及び前記容量コンタクト・プラグ上にカーボン拡散防止膜としてシリコン窒化膜を成膜する工程と、

前記シリコン窒化膜上に第 4 層間絶縁膜を形成し、次いでパターニングして前記第 4 層間絶縁膜を貫通して前記シリコン窒化膜を露出させた凹部状のシリンドー型キャパシタ形成部を開口し、前記シリンドー型キャパシタ形成部の底部に露出した前記シリコン窒化膜を選択的にエッチングして除去する工程と

を備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 シリコン基板上にワード線を形成し、次いで第 1 層間絶縁膜

を成膜してワード線を埋設した後、前記第 1 層間絶縁膜を貫通して前記シリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と、

前記第 1 層間絶縁膜上に、第 2 層間絶縁膜、更にビット線を形成し、続いて第 3 層間絶縁膜を基板全面に成膜して前記ビット線を埋設した後、前記第 3 層間絶縁膜上にカーボン拡散防止膜としてシリコン窒化膜を成膜する工程と、

前記シリコン窒化膜、前記第 3 層間絶縁膜及び前記第 2 層間絶縁膜を貫通し、前記セルコンタクト・プラグに接続する容量コンタクト・プラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 1 0】 シリコン基板上にワード線を形成し、次いで第 1 層間絶縁膜を成膜してワード線を埋設した後、前記第 1 層間絶縁膜を貫通して前記シリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と、

前記第 1 層間絶縁膜上に、第 2 層間絶縁膜、更にビット線を形成し、更に基板全面にカーボン拡散防止膜としてシリコン窒化膜を成膜する工程と、

第 3 層間絶縁膜を基板全面に成膜して前記シリコン窒化膜で覆われたビット線を埋設し、前記シリコン窒化膜に対して選択的なエッチング法によって前記第 3 層間絶縁膜をエッチングして、容量コンタクト形成用のコンタクトホールを形成して前記コンタクトホールの底部に前記シリコン窒化膜を露出させ、更に前記シリコン窒化膜を選択的にエッチングして前記第 2 層間絶縁膜を前記コンタクトホールの底部に露出させる工程と、

前記コンタクトホールの底部に露出した前記第 2 層間絶縁膜をエッチングして、前記コンタクトホールを前記セルコンタクト・プラグに連通させ、続いて前記コンタクトホールを導電性材料で埋め込んで前記セルコンタクト・プラグに接続した容量コンタクト・プラグを形成する工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法に関し、更に詳細には、カー

ボンを含む原料ガスを使って成膜した絶縁膜を含むトランジスタ構造をシリコン基板上に備え、しかも優れたトランジスタ特性を示す半導体装置、及びそのような半導体装置の製造方法に関するものである。

#### 【 0 0 0 2 】

##### 【従来の技術】

ダイナミック・ランダム・アクセス・メモリ（以下、DRAMと言う）は、一般に、1個のMOSFETと、1個のキャパシタとで構成されている。DRAMのキャパシタ部は、下部電極と、下部電極と対になる上部電極と、両電極間に介在する高誘電体膜からなる容量絶縁膜との3層構造となっている。

近年、DRAMの微細化に伴い、キャパシタ部の占有面積を縮小せざるを得なくなっている。

そこで、十分な静電容量を確保するために、キャパシタの容量絶縁膜の材料として、シリコン窒化膜より比誘電率の大きな高誘電体膜、例えばタンタルオキサイド ( $Ta_2O_5$ ) が用いられている。

#### 【 0 0 0 3 】

ここで、図16及び図17を参照して、従来のDRAMの構成を説明する。図16(a)は従来のDRAMの基板上のワード線に直交するワード線層の縦断面を示す断面図、及び図16(b)はワード線に平行なワード線層の縦断面を示す断面図である。図17はワード線層上のビット線層及びシリンダー型キャパシタ部のワード線に平行な縦断面を示す断面図である。

先ず、図16(a)及び(b)を参照して、従来の構成のDRAM10のワード線層の構成を説明する。

素子分離領域として設けられたSTI (Shallow Trench Isolation、浅素子分離溝) 14によって区画されたシリコン基板12の表面層のトランジスタ形成領域には、チャンネル領域及びソース領域／ドレイン領域（図示せず）を含む拡散層が形成されている。

#### 【 0 0 0 4 】

DRAM10のワード線22は、トランジスタ形成領域上に形成され、ゲート酸化膜15、リン・ドープト・ポリシリコン膜 (Phosphorous-doped Polysilico

n、以下、DOPOS膜と言う) 16、WSi膜 (Tungsten Silicide) 18、及びシリコン窒化膜20からなる積層膜の配線とシリコン窒化膜サイドウォール24とから形成され、拡散層上ではゲート電極を構成する。

ワード線22上には第1層間絶縁膜26が形成され、かつ、ワード線22間には第1層間絶縁膜26を貫通してシリコン基板12に到達するセルコンタクトホール28が形成されている。セルコンタクトホール28は、DOPOS、タングステン (W、Tungsten) 等の導電性材料で埋め込まれ、セルコンタクト・プラグ30を形成している。

#### 【0005】

次に、図17を参照して、ビット線38及びシリンダー型キャパシタ形成部50の構成を説明する。尚、図17では、ビット線38及びシリンダー型キャパシタ形成部50は、ワード線に平行な断面、つまりビット線に直交する縦断面として示されている。

第1層間絶縁膜26上には、第2層間絶縁膜32を介して、窒化タングステン (WN、Tungsten Nitride) 膜33、タングステン (W、Tungsten) 膜34及びシリコン窒化膜36の積層膜の配線とシリコン窒化膜サイドウォール40とからなるビット線38が、第3層間絶縁膜42内に埋設されるようにして形成されている。

また、ビット線38間に形成されたコンタクトホール44は、DOPOS、タングステン (W) 等の導電性材料で埋め込まれ、容量コンタクト・プラグ46を形成している。

第3層間絶縁膜42及び容量コンタクト・プラグ46上には、キャパシタ部形成用の第4層間絶縁膜48が成膜され、容量コンタクト・プラグ46を露出させる深い凹部状のシリンダー型キャパシタ形成部50が第4層間絶縁膜48を貫通して開口している。

図示しないが、シリンダー型キャパシタ形成部50には、下部電極、 $Ta_2O_5$ 膜からなる容量絶縁膜及び上部電極が形成されている。

#### 【0006】

図18から図21を参照して、DRAMを作製する従来の方法を説明する。図

18 (a) から (c)、図 19 (d) と (e)、図 20 (f) から (h)、及び図 21 (i) から (k) は、従来の方法に従って DRAM を作製する際の工程毎の断面図である。尚、図 18 (a) から (c)、及び図 19 (d) はワード線に直交する縦断面図であり、図 19 (e)、図 20 (f) から (h)、及び図 21 (i) から (k) はワード線に平行で、かつビット線に直交する縦断面図である。

先ず、図 18 (a) に示すように、シリコン基板 12 に素子分離領域として STI 14 を形成してトランジスタ形成領域を区画し、トランジスタ形成領域にチャネル領域及びソース領域／ドレイン領域（図示せず）を含む拡散層を形成した後、ゲート酸化膜 15、DOPOS 膜 16、WSi 膜 18、及びシリコン窒化膜 20 からなる積層膜の配線を形成する。

#### 【0007】

次いで、積層膜の配線上にシリコン窒化膜 24 を成膜し、続いてエッチバックして、図 18 (b) に示すように、積層膜の配線の側壁にシリコン窒化膜サイドウォール 24 を形成する。これにより、積層膜の配線にサイドウォールを備えたワード線 22 が形成される。ワード線 22 は拡散層上ではゲート電極を構成する。

続いて、図 18 (c) に示すように、第 1 層間絶縁膜 26 を基板全面に成膜してワード線 22 を埋設した後、シリコン窒化膜 20、24 に対して選択的なエッチング法によって第 1 層間絶縁膜 26 をエッチングして、シリコン基板 12 を露出させたセルコンタクトホール 28 を開口する。

#### 【0008】

次いで、図 19 (d) 及び図 (e) に示すように、DOPOS、タングステン (W) 等の導電性材料 30 を基板全面に堆積させてセルコンタクトホール 28 を埋め込み、全面エッチバックまたは CMP (Chemical Mechanical Polish) 法によって第 1 層間絶縁膜 26 上の導電性材料 30 を除去して、シリコン基板 12 の拡散層に接続するセルコンタクト・プラグ 30 を形成する。

#### 【0009】

次に、図 20 (f) に示すように、第 1 層間絶縁膜 26 及びセルコンタクト・



プラグ 3 0 上に第 2 層間絶縁膜 3 2 を成膜し、更に第 2 層間絶縁膜 3 2 上に窒化タングステン膜 3 3、タングステン膜 3 4 及びシリコン窒化膜 3 6 からなる積層膜の配線を形成する。

次いで、積層膜の配線上にシリコン窒化膜 4 0 を成膜し、続いてエッチバックして、図 2 0 (g) に示すように、積層膜の配線の側壁にシリコン窒化膜サイドウォール 4 0 を形成することにより、ビット線 3 8 を形成する。

次に、図 2 0 (h) に示すように、第 3 層間絶縁膜 4 2 を基板全面に成膜してビット線 3 8 を埋設する。

#### 【 0 0 1 0 】

続いて、図 2 1 (i) に示すように、シリコン窒化膜 3 6、4 0 に対して選択的なエッチング法によって第 3 層間絶縁膜 4 2 及び第 2 層間絶縁膜 3 2 をエッチングして、セルコンタクト・プラグ 3 0 を露出させる容量コンタクト形成用のコンタクトホール 4 4 を形成する。

次いで、図 2 1 (j) に示すように、基板上に DOPOS、タングステン等の導電性材料の膜を成膜してコンタクトホール 4 4 を導電性材料で埋め込み、次いで全面エッチバック又は CMP 法を適用して第 3 層間絶縁膜 4 2 上の導電性膜を除去して、セルコンタクト・プラグ 3 0 に接続する導電性材料からなる容量コンタクト・プラグ 4 6 を形成する。

次に、図 2 1 (k) に示すように、第 3 層間絶縁膜 4 2 及び容量コンタクト・プラグ 4 6 上にシリンダー型キャパシタ形成のための第 4 層間絶縁膜 4 8 を形成し、パターニングして、容量コンタクト・プラグ 4 6 を露出させたシリンダー型キャパシタ形成部 5 0 を開口する。

次いで、下部電極、 $Ta_2O_5$  膜、及び上部電極を形成して、シリンダー型キャパシタを形成する。 $Ta_2O_5$  膜を成膜する際には、Pentaethoxy-Tantalum ( $Ta(OC_2H_5)_5$ ) を原料ガスとし、CVD 法 (Chemical Vapor Deposition: 化学気相堆積法) によって成膜する。成膜時点では、 $Ta_2O_5$  酸化不足であることから、酸化 (結晶化) 処理を行い絶縁性を確保する。

#### 【 0 0 1 1 】

【発明が解決しようとする課題】

しかし、上述した従来の方法で D R A M を作製した場合、D R A M のトランジスタ特性が変動するという問題があった。

例えば、ゲート電圧とドレイン電流との関係を示す電流－電圧特性、特にしきい値電圧が、図 1 5 に示すように、設計値と異なった挙動を示す。図 1 5 の破線が従来の方法で作製した D R A M のトランジスタの電流－電圧特性であり、太線が設計値の電流－電圧特性である。

上述の説明では、D R A M を例に挙げて半導体装置のトランジスタ特性の変動を説明したが、この問題はカーボンを含む原料ガスを使って成膜した絶縁膜を含むトランジスタ構造をシリコン基板上に備えた半導体装置全般に該当する問題である。

#### 【 0 0 1 2 】

そこで、本発明の目的は、カーボンを含む原料ガスを使って成膜した絶縁膜を含むトランジスタ構造をシリコン基板上に備え、しかもトランジスタ特性の良好な半導体装置及びそのような半導体装置の製造方法を提供することである。

#### 【 0 0 1 3 】

##### 【課題を解決するための手段】

本発明者は、課題を解決するために研究を続ける過程で、次のことを見い出した。

カーボンを含む原料ガスを使って成膜した  $T a_2 O_5$  膜などの絶縁膜をキャパシタ部の容量絶縁膜として有する D R A M では、 $T a_2 O_5$  膜の成膜中、および、成膜工程の後のプロセス工程で行う熱処理により、カーボンが、 $S i O_2$  膜などからなる層間絶縁膜中を拡散してシリコン基板に達する。

カーボンは、 $500^{\circ}C$  という低温度でも、 $S i O_2$  膜中を容易に拡散して  $S i / S i O_2$  界面に集まり易いという性質を有しており、また、カーボンはシリコン中にドナー準位を形成するために正の固定電荷として働き、シリコン基板表層に形成される各種トランジスタのトランジスタ特性に影響を及ぼす。

例えば、カーボンが、イオン化して層間絶縁膜を拡散し、シリコン基板の S T I 端に達したとき、P 型シリコン基板を用いた、表面チャネルが n チャネルのトランジスタに対して、正の固定電荷として働き、閾値低下やハンプ特性などを引

き起こし、デバイス設計上非常に重要視されるトランジスタ特性に悪影響を及ぼす。

#### 【 0 0 1 4 】

そこで、本発明者は、トランジスタ特性に悪影響を及ぼすカーボンの拡散を防止するために、トランジスタが形成されるシリコン基板と  $Ta_2O_5$  などの容量絶縁膜との間の層間絶縁膜中に LPCVD 法などで形成されるシリコン窒化膜 ( $Si_3N_4$ ) を極薄く形成することにより、カーボンの拡散を防止することを着想し、実験を重ねて本発明を発明するに至った。

#### 【 0 0 1 5 】

上記目的を達成するために、上述の知見に基づいて、本発明に係る半導体装置は、カーボンを含む原料ガスを使って成膜した絶縁膜を有するトランジスタ構造をシリコン基板上に備えた半導体装置において、

カーボンがシリコン基板側に拡散するのを防止する膜として、シリコン窒化膜が、絶縁膜とシリコン基板との間に形成されていることを特徴としている。

#### 【 0 0 1 6 】

カーボンを含む原料ガスを使って成膜した絶縁膜には、比誘電率が 2.2 から 2.5 であるタンタルオキサイド ( $Ta_2O_5$ )、チタン酸ストロンチウム ( $SrTiO_3$  (STO))、チタン酸ストロンチウムバリウム ( $(Ba, Sr)TiO_3$  (BST))、チタン酸鉛 ( $PbTiO_3$  (PTO))、チタン酸ジルコン酸鉛 ( $Pb(Ti, Zr)O_3$  (PZT)) 等の比誘電率が 100 を越える高誘電体絶縁膜がある。

#### 【 0 0 1 7 】

本発明は、カーボンを含む原料ガスを使って成膜した絶縁膜を含むトランジスタ構造をシリコン基板上に備えた半導体装置である限り適用できるが、特に、トランジスタ部とキャパシタ部とを備える DRAM であって、タンタルオキサイド膜がキャパシタ部の容量絶縁膜である半導体装置に好適に適用できる。

#### 【 0 0 1 8 】

実用的な本発明の適用例は、層間絶縁膜を貫通して、シリコン基板内に形成された拡散層と接続するコンタクトを備え、

カーボン拡散防止膜として、シリコン窒化膜が、コンタクトと拡散層との接続部を除いた領域を横断してシリコン基板上に成膜されている、DRAMである。

【 0 0 1 9 】

また、実用的な本発明の別の適用例は、第1層間絶縁膜を貫通して、シリコン基板内に形成された拡散層と接続するコンタクトと、キャパシタ部の下部電極とコンタクトとの間に第2及び第3層間絶縁膜を貫通して介在し、下部電極をコンタクトに接続する容量コンタクトとを備え、

シリコン窒化膜が、カーボン拡散防止膜として、下部電極と容量コンタクトとの接続部を除いた領域を横断して第3層間絶縁膜上に成膜されている、DRAMである。

【 0 0 2 0 】

また、実用的な本発明の更に別の適用例は、第1層間絶縁膜を貫通して、シリコン基板内に形成された拡散層と接続するコンタクトと、キャパシタ部の下部電極とコンタクトとの間に第2及び第3層間絶縁膜を貫通して介在し、下部電極をコンタクトに接続する容量コンタクトとを備え、

シリコン窒化膜が、カーボン拡散防止膜として、容量コンタクトを除いた領域を横断して第3層間絶縁膜中に成膜されている、DRAMである。

【 0 0 2 1 】

本発明に係る半導体装置の製造方法（以下、第1の発明方法と言う）は、シリコン基板上にワード線を形成した後、カーボン拡散防止膜としてシリコン窒化膜を基板全面に成膜する工程と、

シリコン窒化膜上に第1層間絶縁膜を成膜してワード線を埋設した後、シリコン窒化膜に対して選択的なエッチング法によって第1層間絶縁膜をエッチングしてセルコンタクトホールを開口し、セルコンタクトホールの底部にシリコン窒化膜を露出させる工程と、

セルコンタクトホールの底部に露出したシリコン窒化膜を選択的にエッチングして除去し、シリコン基板を露出させる工程と、

セルコンタクトホールを埋め込み、シリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と

を有することを特徴としている。

【 0 0 2 2 】

本発明に係る半導体装置の別の製造方法（以下、第 2 の発明方法と言う）は、シリコン基板上にワード線を形成し、次いで第 1 層間絶縁膜を成膜してワード線を埋設した後、第 1 層間絶縁膜を貫通してシリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と、

第 1 層間絶縁膜上に、第 2 層間絶縁膜、更にビット線を形成し、続いて第 3 層間絶縁膜を基板全面に成膜してビット線を埋設した後、第 3 層間絶縁膜及び第 2 層間絶縁膜を貫通し、セルコンタクト・プラグに接続する容量コンタクト・プラグを形成する工程と、

第 3 層間絶縁膜及び容量コンタクト・プラグ上にカーボン拡散防止膜としてシリコン窒化膜を成膜する工程と、

シリコン窒化膜上に第 4 層間絶縁膜を形成し、次いでパターニングして第 4 層間絶縁膜を貫通してシリコン窒化膜を露出させた凹部状のシリンダー型キャパシタ形成部を開口し、シリンダー型キャパシタ形成部の底部に露出したシリコン窒化膜を選択的にエッチングして除去する工程と

を備えていることを特徴としている。

【 0 0 2 3 】

本発明に係る半導体装置の更に別の製造方法（以下、第 3 の発明方法と言う）は、シリコン基板上にワード線を形成し、次いで第 1 層間絶縁膜を成膜してワード線を埋設した後、第 1 層間絶縁膜を貫通してシリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と、

第 1 層間絶縁膜上に、第 2 層間絶縁膜、更にビット線を形成し、続いて第 3 層間絶縁膜を基板全面に成膜してビット線を埋設した後、第 3 層間絶縁膜上にカーボン拡散防止膜としてシリコン窒化膜を成膜する工程と、

シリコン窒化膜、第 3 層間絶縁膜及び第 2 層間絶縁膜を貫通し、セルコンタクト・プラグに接続する容量コンタクト・プラグを形成する工程と

を有することを特徴としている。

【 0 0 2 4 】

本発明に係る半導体装置の更に別の製造方法（以下、第4の発明方法と言う）は、シリコン基板上にワード線を形成し、次いで第1層間絶縁膜を成膜してワード線を埋設した後、第1層間絶縁膜を貫通してシリコン基板の拡散層に接続するセルコンタクト・プラグを形成する工程と、

第1層間絶縁膜上に、第2層間絶縁膜、更にビット線を形成し、更に基板全面にカーボン拡散防止膜としてシリコン窒化膜を成膜する工程と、

第3層間絶縁膜を基板全面に成膜してシリコン窒化膜で覆われたビット線を埋設し、シリコン窒化膜に対して選択的なエッチング法によって第3層間絶縁膜をエッチングして、容量コンタクト形成用のコンタクトホールを形成してコンタクトホールの底部にシリコン窒化膜を露出させ、更にシリコン窒化膜を選択的にエッチングして第2層間絶縁膜をコンタクトホールの底部に露出させる工程と、

コンタクトホールの底部に露出した第2層間絶縁膜をエッチングして、コンタクトホールをセルコンタクト・プラグに連通させ、続いてコンタクトホールを導電性材料で埋め込んでセルコンタクト・プラグに接続した容量コンタクト・プラグを形成する工程と

を有することを特徴としている。

#### 【0025】

カーボン拡散防止膜としてのシリコン窒化膜は、緻密な膜質であることが重要である。そこで、第1から第4の発明方法では、カーボン拡散防止膜としてシリコン窒化膜を成膜する際に、緻密な膜質のシリコン窒化膜を成膜するために、700℃以上800℃以下の温度、0.1 Torr以上275 Torr以下の範囲の圧力、例えば750℃程度の温度及び0.2 Torr程度の圧力の成膜条件でLP-CVD法によってシリコン窒化膜を成膜する。LP-CVD法によって成膜したシリコン窒化膜は、化学量論的組成（ $\text{Si}_3\text{N}_4$  膜）であって、密度が $2.9 \text{ g/cm}^3$  から $3.1 \text{ g/cm}^3$  と高いので、膜質が緻密である。

また、カーボン拡散防止膜としてのシリコン窒化膜（ $\text{Si}_3\text{N}_4$  膜）の膜厚は、50 Åから200 Åである。50 Å以下では本発明の効果が乏しく、また、200 Å以上にしても本発明の効果は平衡に達し、厚くする意味がない。

尚、温度300℃程度でプラズマCVD法によって成膜したシリコン窒化膜は

、密度が  $2.4 \text{ g/cm}^3$  から  $2.8 \text{ g/cm}^3$  であって、LP-CVD法によるシリコン窒化膜に次いで好ましい。

【0026】

### 【発明の実施の形態】

以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的かつ詳細に説明する。

#### 半導体装置の実施形態例 1

本実施形態例は、本発明に係る半導体装置をDRAMに適用した実施形態の一例であって、図1は本実施形態例のDRAMの要部の構成を示す断面図である。図1に示す部位のうち、図16及び図17で示したものと同一のものには同じ符号を付して説明を省略する。

本実施形態例の半導体装置60は、カーボンを含む原料ガス、例えばTa( $\text{OC}_2\text{H}_5$ )<sub>5</sub>を使って成膜したTa<sub>2</sub>O<sub>5</sub>膜をキャパシタ部の容量絶縁膜として有するDRAMであって、図1に示すように、セルコンタクト・プラグ30を形成したコンタクトホール28の底部を除くシリコン基板12上に、膜厚100ÅのSi<sub>3</sub>N<sub>4</sub>膜62が、キャパシタ部の容量絶縁膜(Ta<sub>2</sub>O<sub>5</sub>膜)を成膜する際に生じるカーボンの拡散を防止するカーボン拡散防止膜として成膜されている。

DRAM60は、第1層間絶縁膜26を貫通して、シリコン基板12内に形成された拡散層と接続するセルコンタクト・プラグ30を備え、カーボン拡散防止膜として、Si<sub>3</sub>N<sub>4</sub>膜62が、セルコンタクト・プラグ30と拡散層との接続部を除いた領域を横断してシリコン基板12ないしワード線22の上面及び側面に成膜されている。

これを除いて、本実施形態例のDRAM60は、図16及び図17を参照して説明した従来のDRAM10のトランジスタ部及びキャパシタ部と同じ構成を備えている。

尚、半導体装置の実施形態例1から3及び半導体装置の製造方法の実施形態例1から4では、第1から第4層間絶縁膜には、SiO<sub>2</sub>膜を使用している。

【0027】

半導体装置の製造方法の実施形態例 1

本実施形態例は、第 1 の発明方法に係る半導体装置の製造方法を実施形態例 1 の DRAM 6 0 の製造に適用した実施形態の一例であって、図 2 ( a ) から ( c ) 、及び図 3 ( d ) から ( f ) は、それぞれ、本実施形態例の製造方法に従って実施形態例 1 の DRAM 6 0 を製造する際の各工程毎の断面図である。図 2 及び図 3 に示す部位のうち、図 1 6 から図 2 1 で示した同じものには同じ符号を付して説明を省略する。

従来の製造方法と同様に、先ず、図 2 ( a ) に示すように、シリコン基板 1 2 に素子分離領域として STI 1 4 を形成してトランジスタ形成領域を区画し、続いてトランジスタ形成領域にチャネル領域及びソース領域／ドレイン領域（図示せず）を含む拡散層を形成した後、ゲート酸化膜 1 5、DOPOS 膜 1 6、WSi 膜 1 8、及びシリコン窒化膜 2 0 の積層膜からなる配線を形成する。

## 【 0 0 2 8 】

次いで、積層膜の配線上にシリコン窒化膜 2 4 を成膜し、続いてエッチバックして、図 2 ( b ) に示すように、積層膜の配線の側壁にシリコン窒化膜サイドウォール 2 4 を形成することにより、ワード線 2 2 を形成する。拡散層上のワード線 2 2 はゲート電極を構成する。

続いて、図 2 ( c ) に示すように、基板全面に LP-CVD 法によって膜厚 1 0 0 Å のブランクットシリコン窒化膜 (  $\text{Si}_3\text{N}_4$  膜 ) 6 2 を成膜する。

本実施形態例でブランクットシリコン窒化膜 (  $\text{Si}_3\text{N}_4$  膜 ) 6 2 を成膜する際には、成膜方法として LP-CVD 法を用い、温度が 7 6 0 °C、圧力が 0 . 2 Torr で膜厚 1 0 0 Å の化学量論的組成 (  $\text{Si}_3\text{N}_4$  ) が得られるガス流量条件を用いた。また、原料ガスの組成及び流量は、ジクロロシランが 7 5 sccm、アンモニアが 7 5 0 sccm であった。成膜条件は、実施形態例 2 から 4 の方法でも同じである。

尚、カーボンの拡散を防止するためには、緻密な膜質のシリコン窒化膜が要求されるので、プラズマ CVD 法で形成される化学量論的組成からずれるシリコン窒化膜より、LP-CVD 法で形成された  $\text{Si}_3\text{N}_4$  膜の方が好ましい。

## 【 0 0 2 9 】



次いで、 $\text{Si}_3\text{N}_4$  膜 62 上基板全面に第 1 層間絶縁膜 26 を成膜してワード線 22 を埋設した後、図 3 (d) に示すように、シリコン窒化膜 20、24、及び  $\text{Si}_3\text{N}_4$  膜 62 に対して選択的なエッチング法によって第 1 層間絶縁膜 26 をエッチングして、セルコンタクトホール 28 を形成する。

次いで、図 3 (e) に示すように、セルコンタクトホール 28 の底部の  $\text{Si}_3\text{N}_4$  膜 62 を選択的にエッチングして除去して、シリコン基板 12 を露出させる。この際、図 3 (e) に示すように、セルコンタクトホール 28 の開口部肩部の  $\text{Si}_3\text{N}_4$  膜 62 も除去されるが、シリコン窒化膜 20 及びサイドウォールシリコン窒化膜 24 が残留するので、本発明の目的及び効果に支障が生じるようなことはない。

次に、図 3 (f) に示すように、DOPOS、タングステン (W) 等の導電性材料 30 を基板全面に堆積させてセルコンタクトホール 28 を埋め込み、全面エッチバック又は CMP 法によって第 1 層間絶縁膜 26 上の導電性材料 30 を除去して、シリコン基板 12 の拡散層に接続するセルコンタクト・プラグ 30 を形成する。

以下、図 20 (f) から図 21 (k) を参照して説明した従来の方法に従って、各工程を実施して、DRAM 60 を作製する。

#### 【0030】

#### 半導体装置の実施形態例 2

本実施形態例は、本発明に係る半導体装置を DRAM に適用した実施形態の別の例であって、図 4 は本実施形態例の DRAM の構成を示す断面図である。図 4 に示す部位のうち、図 16 及び図 17 に示したものと同一のものには同じ符号を付して説明を省略する。

本実施形態例の半導体装置 70 は、カーボンを含む原料ガス、即ち  $\text{Ta}(\text{OC}_2\text{H}_5)_5$  を使って成膜した  $\text{Ta}_2\text{O}_5$  膜をキャパシタ部の容量絶縁膜として有する DRAM であって、図 4 に示すように、シリンドー型キャパシタ形成部 50 の底部を除く第 3 層間絶縁膜 42 上の領域に、膜厚 100 Å の  $\text{Si}_3\text{N}_4$  膜 72 が、キャパシタ部の容量絶縁膜 ( $\text{Ta}_2\text{O}_5$  膜) を成膜する際に生じるカーボンの拡散を防止するカーボン拡散防止膜として成膜されている。

## 【 0 0 3 1 】

つまり、本実施形態例の D R A M 7 0 は、第 1 層間絶縁膜 2 6 を貫通して、シリコン基板 1 2 内に形成された拡散層と接続するセルコンタクト・プラグ 3 0 と、キャパシタ部 5 8 の下部電極 5 2 とセルコンタクト・プラグ 3 0 との間に第 2 層間絶縁膜 3 2 及び第 3 層間絶縁膜 4 2 を貫通して介在し、下部電極 5 2 をセルコンタクト・プラグ 3 0 に接続する容量コンタクト・プラグ 4 6 とを備え、 $\text{Si}_3\text{N}_4$  膜 7 2 が、カーボン拡散防止膜として、下部電極 5 2 と容量コンタクト・プラグ 4 6 との接続部を除いた領域を横断して第 3 層間絶縁膜 4 2 上に成膜されている。

これを除いて、本実施形態例の D R A M 7 0 は、図 1 6 から図 1 7 を参照して説明した従来の D R A M 1 0 のトランジスタ部及びキャパシタ部と同じ構成を備えている。

尚、本実施形態例の D R A M は、図 4 に示すように、容量コンタクト・プラグ 4 6 と接続される下部電極 5 2 として H S G 化された D O P O S 膜、容量絶縁膜 5 4 として膜厚 8 0 Å の  $\text{Ta}_2\text{O}_5$  膜、及び上部電極（プレート電極）5 6 として  $\text{TiN}$  膜からなるキャパシタ 5 8 をシリンドー型キャパシタ形成部 5 0 内に備えている。

## 【 0 0 3 2 】

半導体装置の製造方法の実施形態例 2

本実施形態例は、第 2 の発明方法に係る半導体装置の製造方法を実施形態例 2 の D R A M 7 0 の製造に適用した実施形態の一例であって、図 5 ( a ) から ( c ) 、及び図 6 ( d ) から ( f ) 、図 7 ( g ) から ( i ) 、及び図 8 ( j ) から ( l ) は、それぞれ、本実施形態例の製造方法に従って実施形態例 2 の D R A M 7 0 を製造する際の各工程毎の断面図である。図 5 から図 8 に示す部位のうち、図 1 6 から図 2 1 に示すものと同じものには同じ符号を付して説明を省略する。

## 【 0 0 3 3 】

先ず、従来の方法と同様にして、図 1 8 ( a ) から ( c ) に示すように、シリコン基板 1 2 に S T I 1 4 を形成し、トランジスタ形成領域にチャネル領域及びソース領域／ドレイン領域（図示せず）を含む拡散層を形成した後、ゲート酸化

膜 1 5、D O P O S 膜 1 6、W S i 膜 1 8、及びシリコン窒化膜 2 0 の積層膜の配線と、シリコン窒化膜サイドウォール 2 4 とからなるワード線 2 2 を形成する。

次いで、図 1 9 ( d ) 及び ( e ) に示すように、第 1 層間絶縁膜 2 6 を基板全面に成膜してワード線 2 2 を埋設した後、第 1 層間絶縁膜 2 6 をエッチングして、セルコンタクトホール 2 8 を形成する。

次に、D O P O S、タングステン ( W ) 等の導電性材料 3 0 を基板全面に堆積させてセルコンタクトホール 2 8 を埋め込み、次いで全面エッチバック又は C M P 法を施して第 1 層間絶縁膜 2 6 を露出させると共にセルコンタクト・プラグ 3 0 を形成する。

これにより、図 5 ( a ) に示す断面形状の構造を有するものが D R A M の中間製品として形成される。

#### 【 0 0 3 4 】

次に、図 5 ( b ) に示すように、第 1 層間絶縁膜 2 6 及びセルコンタクト・プラグ 3 0 上に第 2 層間絶縁膜 3 2 を成膜し、更に第 2 層間絶縁膜 3 2 上に W N 膜 3 3、W 膜 3 4 及びシリコン窒化膜 3 6 の積層膜からなる配線を形成する。

次いで、積層膜の配線上にシリコン窒化膜 4 0 を成膜し、続いてエッチバックして、図 5 ( c ) に示すように、積層膜の配線の側壁にシリコン窒化膜サイドウォール 4 0 を形成することにより、ビット線 3 8 を形成する。

#### 【 0 0 3 5 】

次に、図 6 ( d ) に示すように、第 3 層間絶縁膜 4 2 を基板全面に成膜してビット線 3 8 を埋設する。

続いて、図 6 ( e ) に示すように、シリコン窒化膜 3 6、4 0 に対して選択的なエッチング法によって第 3 層間絶縁膜 4 2 及び第 2 層間絶縁膜 3 2 をエッチングして、セルコンタクト・プラグ 3 0 を露出させた容量コンタクト形成用のコンタクトホール 4 4 を形成する。

次いで、図 6 ( f ) に示すように、基板上に D O P O S 膜、タングステン膜等の導電性材料の膜を成膜してコンタクトホール 4 4 を導電性材料で埋め込み、次いで全面エッチバック又は C M P 法を適用して第 3 層間絶縁膜 4 2 上の導電性材

料膜を除去して、セルコンタクト・プラグ30に接続する導電性材料からなる容量コンタクト・プラグ46を形成する。

## 【0036】

次に、図7(g)に示すように、第3層間絶縁膜42及び容量コンタクト・プラグ46上にLP-CVD法によって膜厚100Åのブランクettシリコン窒化膜( $\text{Si}_3\text{N}_4$ 膜)72を成膜する。

続いて、図7(h)に示すように、 $\text{Si}_3\text{N}_4$ 膜72上にシリンダー型キャパシタ形成のための第4層間絶縁膜48を形成し、次いでエッチングしてパターニングし、 $\text{Si}_3\text{N}_4$ 膜72を露出させた深い凹部状のシリンダー型キャパシタ形成部50を形成する。

次いで、図7(i)に示すように、シリンダー型キャパシタ形成部50の底部上の $\text{Si}_3\text{N}_4$ 膜72を選択的にエッチングして除去し、容量コンタクト・プラグ46を露出させる。

## 【0037】

次に、図8(j)に示すように、シリンダー型キャパシタ形成部50の底面及び側面にDOPOS膜52を形成する。

更に、図8(k)に示すように、DOPOS膜52の表面をHSG(Hemispherical Grain)化53して下部電極とする。

続いて、図8(l)に示すように、HSG化したDOPOS膜52上に $\text{Ta}_2\text{O}_5$ 膜54を成膜して容量絶縁膜とし、更にTiN膜56を $\text{Ta}_2\text{O}_5$ 膜54上にCVD法により成膜し、パターニングを施して上部電極(プレート電極)56とし、キャパシタ58を作製する。

$\text{Ta}_2\text{O}_5$ 膜を成膜する際には、原料ガスとして $\text{Ta}(\text{OC}_2\text{H}_5)_5$ を使用し、450℃程度の温度および4Torr程度の圧力でCVD法により膜厚80Å程度の $\text{Ta}_2\text{O}_5$ を成膜する。次に、500℃程度の温度で、UV- $\text{O}_3$ (Ultra Violet Ozone)により酸化を行い、更に、750℃程度の温度で $\text{O}_2$ ドライ酸化により結晶化を行って、化学量論的組成の $\text{Ta}_2\text{O}_5$ 膜を形成する。

## 【0038】

### 半導体装置の製造方法の実施形態例3

本実施形態例は、第 3 の発明方法に係る半導体装置の製造方法を実施形態例 2 の D R A M 7 0 の製造に適用した実施形態の別の例であって、図 9 ( a ) から図 9 ( c ) 及び図 1 0 は、本実施形態例の製造方法に従って実施形態例 2 の D R A M を製造する際の各工程毎の断面図である。また、図 9 及び図 1 0 に示す部位のうち、図 1 6 及び図 1 7 に示すものと同じものには同じ符号を付して説明を省略する。

## 【 0 0 3 9 】

本実施形態例では、実施形態例 2 の方法と同様にして、シリコン基板 1 2 に S T I 1 4 を形成し、トランジスタ形成領域にチャネル領域及びソース領域／ドレイン領域（図示せず）を含む拡散層を形成した後、ゲート酸化膜 1 5、D O P O S 膜 1 6、T i S i 膜 1 8、及びシリコン窒化膜 2 0 の積層膜の配線とシリコン窒化膜サイドウォール 2 4 とを有するワード線 2 2 を形成する。

続いて、第 1 層間絶縁膜 2 6 を基板全面に成膜してワード線 2 2 を埋設した後、第 1 層間絶縁膜 2 6 をエッチングして、セルコンタクトホール 2 8 を形成する。

次に、D O P O S 膜、タングステン ( W ) 等の導電性材料 3 0 を基板全面に堆積させてセルコンタクトホール 2 8 を埋め込み、次いで全面エッチバック又は C M P 法を施して、セルコンタクト・プラグ 3 0 を形成する。

## 【 0 0 4 0 】

更に、実施形態例 2 の方法と同様にして、第 1 層間絶縁膜 2 6 及びセルコンタクト・プラグ 3 0 上に第 2 層間絶縁膜 3 2 を成膜し、更に第 2 層間絶縁膜 3 2 上に W N 膜 3 3、W 膜 3 4 及びシリコン窒化膜 3 6 の積層膜の配線と、シリコン窒化膜サイドウォール 4 0 とを有するビット線 3 8 を形成する。

次に、第 3 層間絶縁膜 4 2 を基板全面に成膜してビット線 3 8 を埋設する。

これにより、実施形態例 2 の方法の図 6 ( d ) に示す構造の D R A M の中間製品を得ることができる。

## 【 0 0 4 1 】

本実施形態例の方法では、実施形態例 2 の方法とは異なり、図 9 ( a ) に示すように、第 3 層間絶縁膜 4 2 上に L P - C V D 法によって膜厚 1 0 0 Å のブラン

ケットシリコン窒化膜 ( $\text{Si}_3\text{N}_4$  膜) 72 を成膜する。

次いで、容量コンタクトホール・パターンを有するレジスト膜からなるマスク (図示せず) をブランケットシリコン窒化膜 72 上に形成し、続いてマスクを使ってブランケットシリコン窒化膜 72 をエッチングする。

ブランケットシリコン窒化膜 72 をエッチングした後、図 9 (b) に示すように、シリコン窒化膜 36、40、及び  $\text{Si}_3\text{N}_4$  膜 72 に対して選択的なエッチング法によって第 3 層間絶縁膜 42 及び第 2 層間絶縁膜 32 をエッチングして、容量コンタクト形成用のコンタクトホール 44 を形成してセルコンタクト・プラグ 30 を露出させる。

次いで、図 9 (c) に示すように、基板上に DOPOS 膜、タングステン膜等の導電性材料の膜を成膜してコンタクトホール 44 を導電性材料で埋め込み、次いで全面エッチバック又は CMP 法を適用して  $\text{Si}_3\text{N}_4$  膜 72 上の導電性材料膜を除去して、セルコンタクト・プラグ 30 に接続した導電性材料からなる容量コンタクト・プラグ 46 を形成する。

#### 【0042】

次に、図 10 に示すように、 $\text{Si}_3\text{N}_4$  膜 72 上及び容量コンタクト・プラグ 46 上にシリンダー型キャパシタ形成のための第 4 層間絶縁膜 48 を形成し、パターンニングして、容量コンタクト・プラグ 46 に連通する深い凹部状のシリンダー型キャパシタ形成部 50 を形成する。

以下、実施形態例 2 の方法と同様にして、下部電極、容量絶縁膜及び上部電極を形成する。

#### 【0043】

### 半導体装置の実施形態例 3

本実施形態例は、本発明に係る半導体装置を DRAM に適用した実施形態の更に別の例であって、図 11 は本実施形態例の DRAM の構成を示す断面図である。図 11 に示す部位のうち、図 16 及び図 17 に示すものと同じものには同じ符号を付して説明を省略する。

本実施形態例の半導体装置 80 は、カーボンを含む原料ガス、例えば  $\text{Ta}(\text{OC}_2\text{H}_5)_5$  を使って成膜した  $\text{Ta}_2\text{O}_5$  膜をキャパシタ部の容量絶縁膜として

有するDRAMであって、図11に示すように、容量コンタクト・プラグ46の形成領域を除く第2層間絶縁膜32上の領域に、キャパシタ部の容量絶縁膜( $\text{Ta}_2\text{O}_5$ 膜)を成膜する際に生じるカーボンの拡散を防止するカーボン拡散防止膜として膜厚100Åの $\text{Si}_3\text{N}_4$ 膜82が成膜されている。

## 【0044】

本実施形態例のDRAM80は、第1層間絶縁膜26を貫通して、シリコン基板12内に形成された拡散層と接続するセルコンタクト・プラグ30と、キャパシタ部の下部電極とセルコンタクト・プラグ30との間に第2層間絶縁膜32及び第3層間絶縁膜42を貫通して介在し、下部電極をセルコンタクト・プラグ30に接続する容量コンタクト・プラグ46とを備え、 $\text{Si}_3\text{N}_4$ 膜82が、カーボン拡散防止膜として、容量コンタクト・プラグ46を除いた領域を横断して第2層間絶縁膜32上ないし第3層間絶縁膜42中に成膜されている。

これを除いて、本実施形態例のDRAM80は、図16から図17を参照して説明した従来のDRAM10のトランジスタ部及びキャパシタ部と同じ構成を備えている。

尚、本実施形態例のDRAM80は、図示しないが、実施形態例2のDRAM70と同様に、下部電極52としてHSG化されたDOPOS膜、容量絶縁膜54として $\text{Ta}_2\text{O}_5$ 膜、及び上部電極(プレート電極)56としてTiN膜からなるキャパシタ58をシリンダー型キャパシタ形成部50に有する。

## 【0045】

半導体装置の製造方法の実施形態例4

本実施形態例は、第4の発明方法に係る半導体装置の製造方法を実施形態例3のDRAM80の製造に適用した実施形態の一例であって、図12(a)から図12(c)、及び図13(d)から図13(f)は、それぞれ、本実施形態例の製造方法に従って実施形態例3のDRAMを製造する際の各工程毎の断面図である。図12及び図13に示す部位のうち、図18から図21に示すものと同じものには同じ符号を付して説明を省略する。

## 【0046】

先ず、実施形態例2の方法と同様にして、シリコン基板12にSTI14を形

成し、トランジスタ形成領域にチャネル領域及びソース領域／ドレイン領域（図示せず）を含む拡散層を形成した後、ゲート酸化膜 15、DOPOS 膜 16、 $TiSi$  膜 18、及びシリコン窒化膜 20 の積層膜の配線とシリコン窒化膜サイドウォール 24 とを有するワード線 22 を形成し、第 1 層間絶縁膜 26 を基板全面に成膜してワード線 22 を埋設した後、第 1 層間絶縁膜 26 をエッチングして、セルコンタクトホール 28 を形成する。

次に、DOPOS、タングステン (W) 等の導電性材料 30 を基板全面に堆積させてセルコンタクトホール 28 を埋め込み、次いで全面エッチバック又はCMP法を施して、セルコンタクト・プラグ 30 を形成する。

更に、第 1 層間絶縁膜 26 及びセルコンタクト・プラグ 30 上に第 2 層間絶縁膜 32 を成膜し、更に第 2 層間絶縁膜 32 上にWN膜 33、W膜 34、及びシリコン窒化膜 36 の積層膜の配線とシリコン窒化膜サイドウォール 40 とを有するビット線 38 を形成する。

これにより、図 5 (c) に示す断面構造の中間体を形成することができる。

#### 【0047】

本実施形態例では、実施形態例 2 の方法とは異なり、図 12 (a) に示すように、基板全面にLP-CVD法によって膜厚 100 Å のブランケットシリコン窒化膜 82 ( $Si_3N_4$  膜) を成膜する。

次いで、図 12 (b) に示すように、第 3 層間絶縁膜 42 を基板全面に成膜して  $Si_3N_4$  膜 82 で覆われたビット線 38 を埋設し、 $Si_3N_4$  膜 82 に対して選択的なエッチング法によって第 3 層間絶縁膜 42 をエッチングして、容量コンタクト形成用のコンタクトホール 44 を形成すると共にコンタクトホール 44 の底部に  $Si_3N_4$  膜 82 を露出させる。

次いで、図 12 (c) に示すように、コンタクトホール 44 の底部に露出した  $Si_3N_4$  膜 82 を選択的にエッチングして第 2 層間絶縁膜 32 をコンタクトホール 44 の底部に露出させる。

#### 【0048】

次に、図 13 (d) に示すように、更に、コンタクトホール 44 の底部に露出した第 2 層間絶縁膜 32 をエッチングしてコンタクトホール 44 をセルコンタク



ト・プラグ 3 0 に連通させる。

続いて、図 1 3 (e) に示すように、基板上に D O P O S 膜、タングステン膜等の導電性材料の膜を成膜してコンタクトホール 4 4 を導電性材料で埋め込み、次いで全面エッチバック又は C M P 法を適用して第 3 層間絶縁膜 4 2 上の導電性材料膜を除去して、セルコンタクト・プラグ 3 0 に接続した導電性材料からなる容量コンタクト・プラグ 4 6 を形成する。

次に、図 1 3 (f) に示すように、第 3 層間絶縁膜 4 2 及び容量コンタクト・プラグ 4 6 上にシリンダー型キャパシタ形成のための第 4 層間絶縁膜 4 8 を形成し、パターニングして、深い凹部状のシリンダー型キャパシタ形成部 5 0 を形成すると共に容量コンタクト・プラグ 4 6 を露出させる。

以下、実施形態例 2 の方法と同様にして、下部電極、容量絶縁膜、及び上部電極を形成する。

#### 【 0 0 4 9 】

実施形態例 1 の D R A M 6 0 では、カーボン拡散防止膜として形成された  $S i_3 N_4$  膜 6 2 (梨地で表示) は、図 1 4 に示すように、セルコンタクト・プラグ 3 0 を形成したコンタクトホール 2 8 の底部を除く全ての領域、つまりワード線 2 2 上のみならず拡散層上、S T I 1 4 上及びワード線 2 2 間の領域に形成されている。図 1 4 は実施形態例 1 の D R A M 6 0 の構造を図 1 の上から見た平面図である。

一方、従来の D R A M 1 0 では、ワード線 2 2 上のみにシリコン窒化膜 2 4 が形成されている。

従って、実施形態例 1 の D R A M 6 0 は、従来の D R A M 1 0 に比べてシリコン基板 1 2 のシリコン窒化膜による被覆率が著しく高く、またシリコン窒化膜の膜質が緻密であるから、キャパシタ部の容量絶縁膜として  $T a_2 O_5$  膜を成膜する際に生じるカーボンのシリコン基板への拡散を効果的に防止することができる。

実施形態例 1 の D R A M 6 0 の構成を備えた D R A M 試作品のトランジスタ部の電流－電圧特性は、図 1 5 に示すように、設計値通りの特性を示し、しきい値電圧も低い。

## 【 0 0 5 0 】

図 1 4 では、実施形態例 1 の D R A M 6 0 を例にしてシリコン窒化膜の被覆率を説明したが、実施形態例 2 の D R A M 7 0 及び実施形態例 3 の D R A M 8 0 でも、シリコン基板 1 2 のシリコン窒化膜による被覆態様及び被覆率は、実施形態例 1 の D R A M 6 0 とほぼ同じである。

また、実施形態例 2 の D R A M 7 0 及び実施形態例 3 の D R A M 8 0 のそれぞれの構成を備えた D R A M 試作品を作製し、電流－電圧特性を測定したところ、実施形態例 1 の D R A M 6 0 の試作品と同様の結果を得た。

## 【 0 0 5 1 】

## 【発明の効果】

本発明によれば、カーボンを含む原料ガスを使って成膜した絶縁膜、例えば  $Ta(OC_2H_5)_5$  を使って成膜した  $Ta_2O_5$  膜を有するトランジスタ構造をシリコン基板上に備えた半導体装置において、カーボン拡散防止膜として、シリコン窒化膜を  $Ta_2O_5$  膜とシリコン基板との間に形成することにより、 $Ta_2O_5$  膜を成膜する際に発生するカーボンのシリコン基板側への拡散を効果的に防止することができる。

これにより、半導体装置のトランジスタ特性が所期の値より低下することを防止して、所期の良好なトランジスタ特性を維持することができる。

本発明方法は、本発明に係る半導体装置の好適な製造方法を実現している。

## 【図面の簡単な説明】

## 【図 1】

実施形態例 1 の D R A M の要部の構成を示す断面図である。

## 【図 2】

図 2 ( a ) から図 2 ( c ) は、それぞれ、実施形態例 1 の製造方法に従って実施形態例 1 の D R A M を製造する際の各工程毎の断面図である。

## 【図 3】

図 3 ( d ) から図 3 ( f ) は、それぞれ、図 2 ( c ) に引き続いて、実施形態例 1 の製造方法に従って実施形態例 1 の D R A M を製造する際の各工程毎の断面図である。

【図 4】

実施形態例 2 の D R A M の構成を示す断面図である。

【図 5】

図 5 ( a ) から図 5 ( c ) は、それぞれ、実施形態例 2 の製造方法に従って実施形態例 2 の D R A M を製造する際の各工程毎の断面図である。

【図 6】

図 6 ( d ) から図 6 ( f ) は、それぞれ、図 5 ( c ) に引き続いて、実施形態例 2 の製造方法に従って実施形態例 2 の D R A M を製造する際の各工程毎の断面図である。

【図 7】

図 7 ( g ) から図 7 ( i ) は、それぞれ、図 6 ( f ) に引き続いて、実施形態例 2 の製造方法に従って実施形態例 2 の D R A M を製造する際の各工程毎の断面図である。

【図 8】

図 8 ( j ) から図 8 ( l ) は、それぞれ、図 7 ( i ) に引き続いて、実施形態例 2 の製造方法に従って実施形態例 2 の D R A M を製造する際の各工程毎の断面図である。

【図 9】

図 9 ( a ) から図 9 ( c ) は、それぞれ、実施形態例 3 の製造方法に従って実施形態例 2 の D R A M を製造する際の各工程毎の断面図である。

【図 1 0】

図 1 0 は、図 9 ( c ) に引き続いて、実施形態例 3 の製造方法に従って実施形態例 2 の D R A M を製造する際の工程毎の断面図である。

【図 1 1】

実施形態例 3 の D R A M の構成を示す断面図である。

【図 1 2】

図 1 2 ( a ) から図 1 2 ( c ) は、それぞれ、実施形態例 4 の製造方法に従って実施形態例 3 の D R A M を製造する際の各工程毎の断面図である。

【図 1 3】

図 1 3 ( d ) から図 1 3 ( f ) は、それぞれ、図 1 2 ( c ) に引き続いて、実施形態例 4 の製造方法に従って実施形態例 3 の D R A M を製造する際の各工程毎の断面図である。

【図 1 4】

実施形態例 1 の D R A M の構造を図 1 の上から見た平面図である。

【図 1 5】

電流－電圧特性曲線である。

【図 1 6】

図 1 6 ( a ) は従来の D R A M の基板上のワード線層に直交する縦断面を示す断面図、及び図 1 6 ( b ) のワード線層に平行な縦断面を示す断面図である。

【図 1 7】

ワード線層上のビット線層及びシリンダー型キャパシタ部の垂直縦断面を示す断面図である。

【図 1 8】

図 1 8 ( a ) から ( c ) は、従来の方法に従って D R A M のシリンダー型キャパシタ部を作製する際の工程毎のワード線に直交する縦断面図である。

【図 1 9】

図 1 9 ( d ) と ( e ) は、それぞれ、図 1 8 ( c ) に続いて、従来の方法に従って D R A M のシリンダー型キャパシタ部を作製する際の工程毎のワード線に直交する縦断面図及びワード線に平行な縦断面図である。

【図 2 0】

図 2 0 ( f ) から ( h ) は、それぞれ、図 1 9 に続いて、従来の方法に従って D R A M のシリンダー型キャパシタ部を作製する際の工程毎のワード線に平行で、かつビット線に直交する縦断面図である。

【図 2 1】

図 2 1 ( i ) から ( k ) は、それぞれ、図 2 0 ( h ) に続いて、従来の方法に従って D R A M のシリンダー型キャパシタ部を作製する際の工程毎のワード線に平行で、かつビット線に直交する縦断面図である。

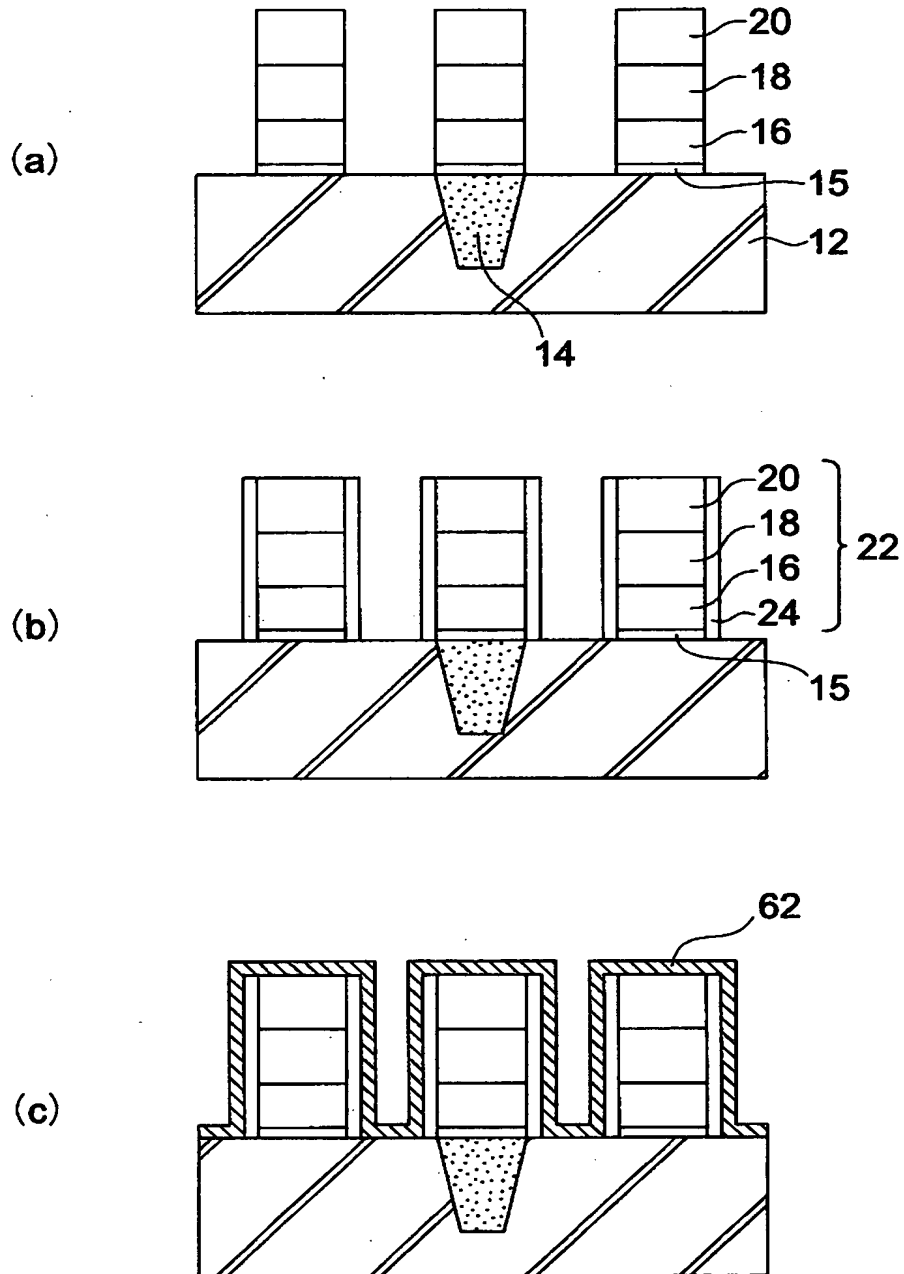
【符号の説明】

- 1 0 従来の D R A M
- 1 2 シリコン基板
- 1 4 S T I (Shallow Trench Isolation、浅素子分離溝)
- 1 6 リン・ドープト・ポリシリコン膜 (D O P O S 膜)
- 1 8 W S i 膜
- 2 0 シリコン窒化膜
- 2 2 ワード線
- 2 4 シリコン窒化膜サイドウォール
- 2 6 第 1 層間絶縁膜
- 2 8 セルコンタクトホール
- 3 0 セルコンタクト・プラグ
- 3 2 第 2 層間絶縁膜
- 3 3 窒化タングステン (W N) 膜
- 3 4 タングステン (W) 膜
- 3 6 シリコン窒化膜
- 3 8 ビット線
- 4 0 シリコン窒化膜サイドウォール
- 4 2 第 3 層間絶縁膜
- 4 4 コンタクトホール
- 4 6 容量コンタクト・プラグ
- 4 8 第 4 層間絶縁膜
- 5 0 シリンダー型キャパシタ形成部
- 5 2 下部電極
- 5 4 容量絶縁膜
- 5 6 上部電極
- 5 8 キャパシタ部
- 6 0 実施形態例 1 の D R A M
- 6 2 カーボン拡散防止膜としての  $S i_3 N_4$  膜
- 7 0 実施形態例 2 の D R A M

- 7 2    カーボン拡散防止膜としての  $\text{Si}_3\text{N}_4$  膜
- 8 0    実施形態例 3 の D R A M
- 8 2    カーボン拡散防止膜としての  $\text{Si}_3\text{N}_4$  膜

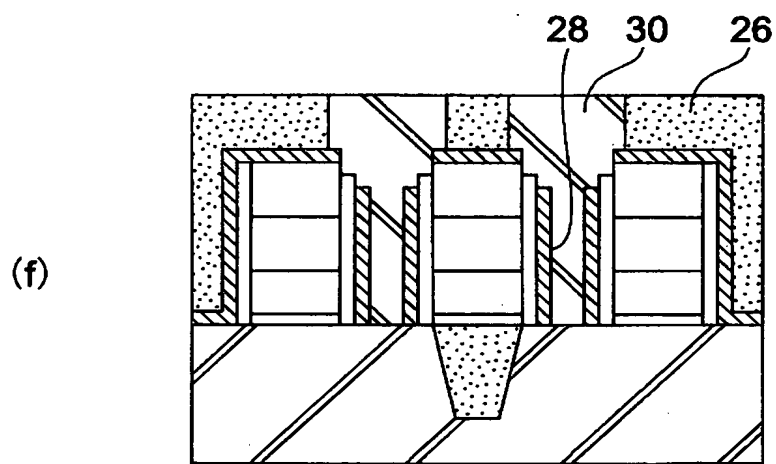
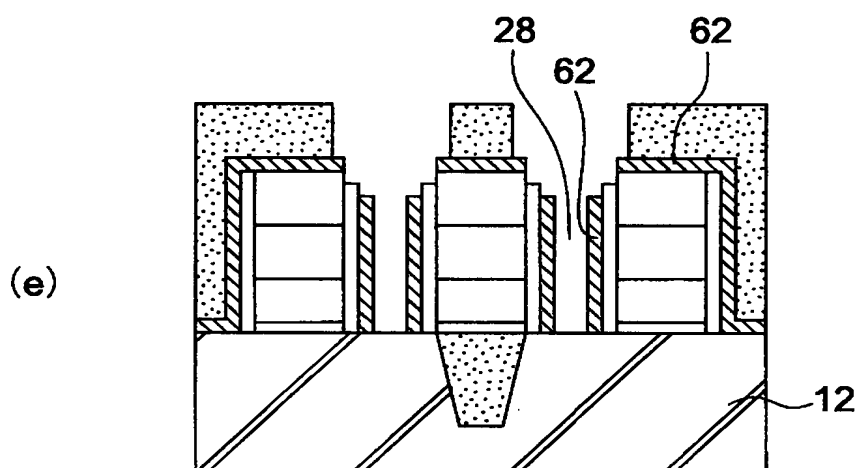
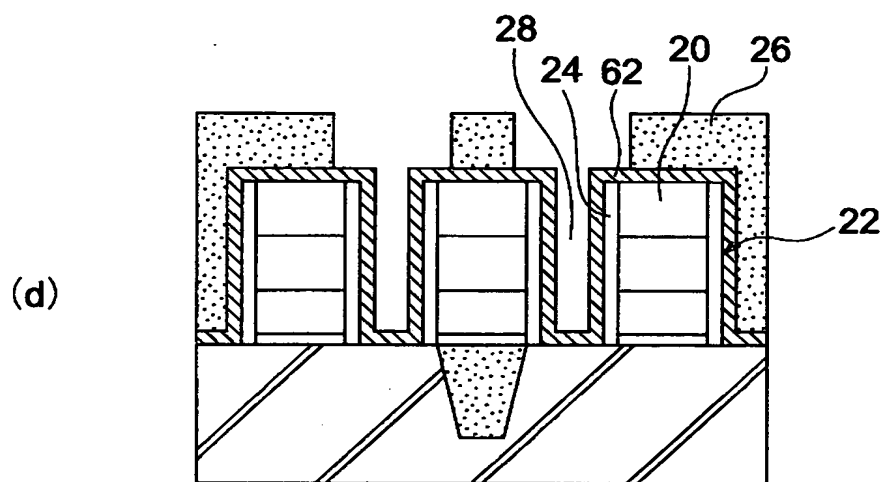


【図 2】

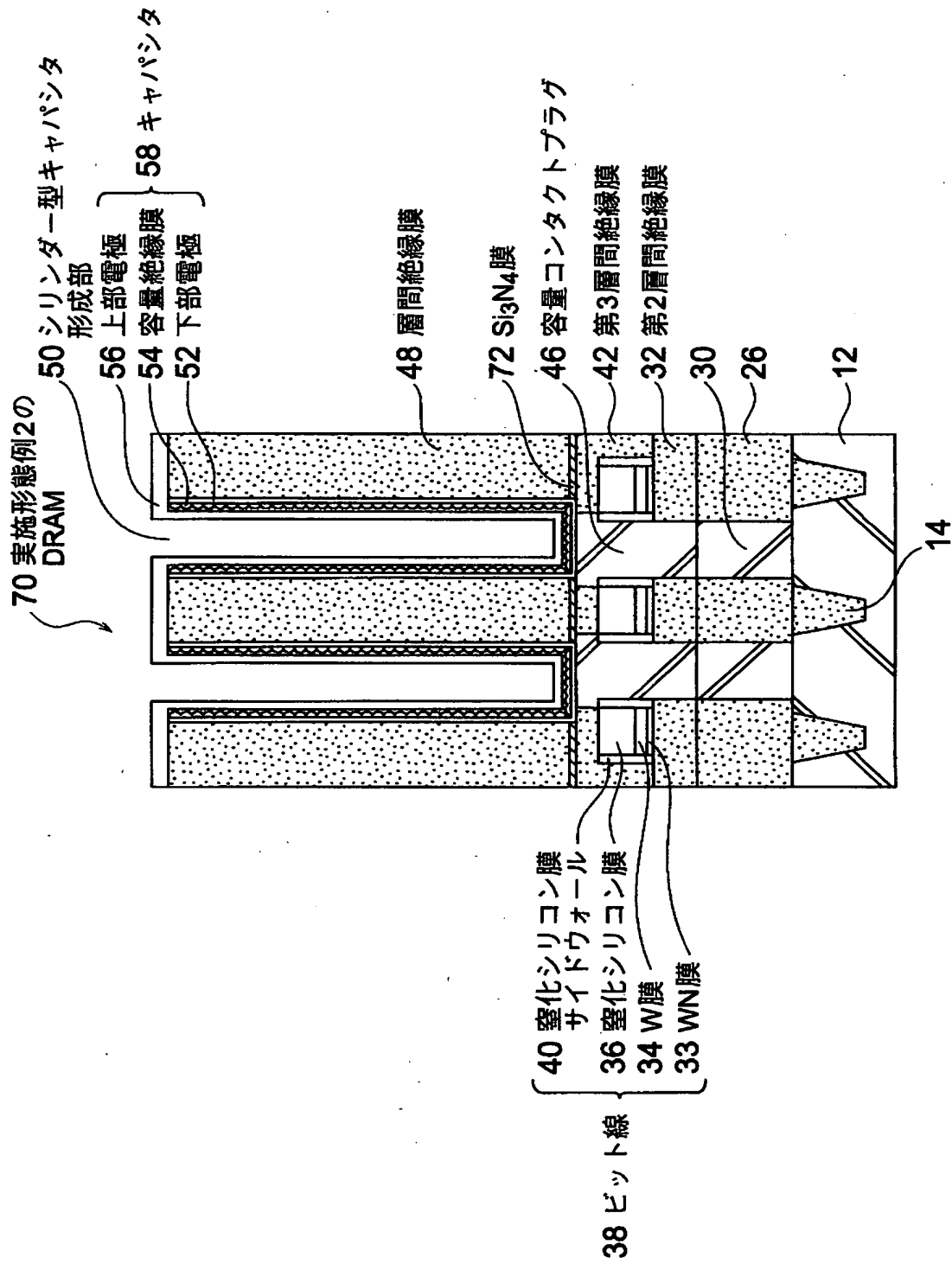




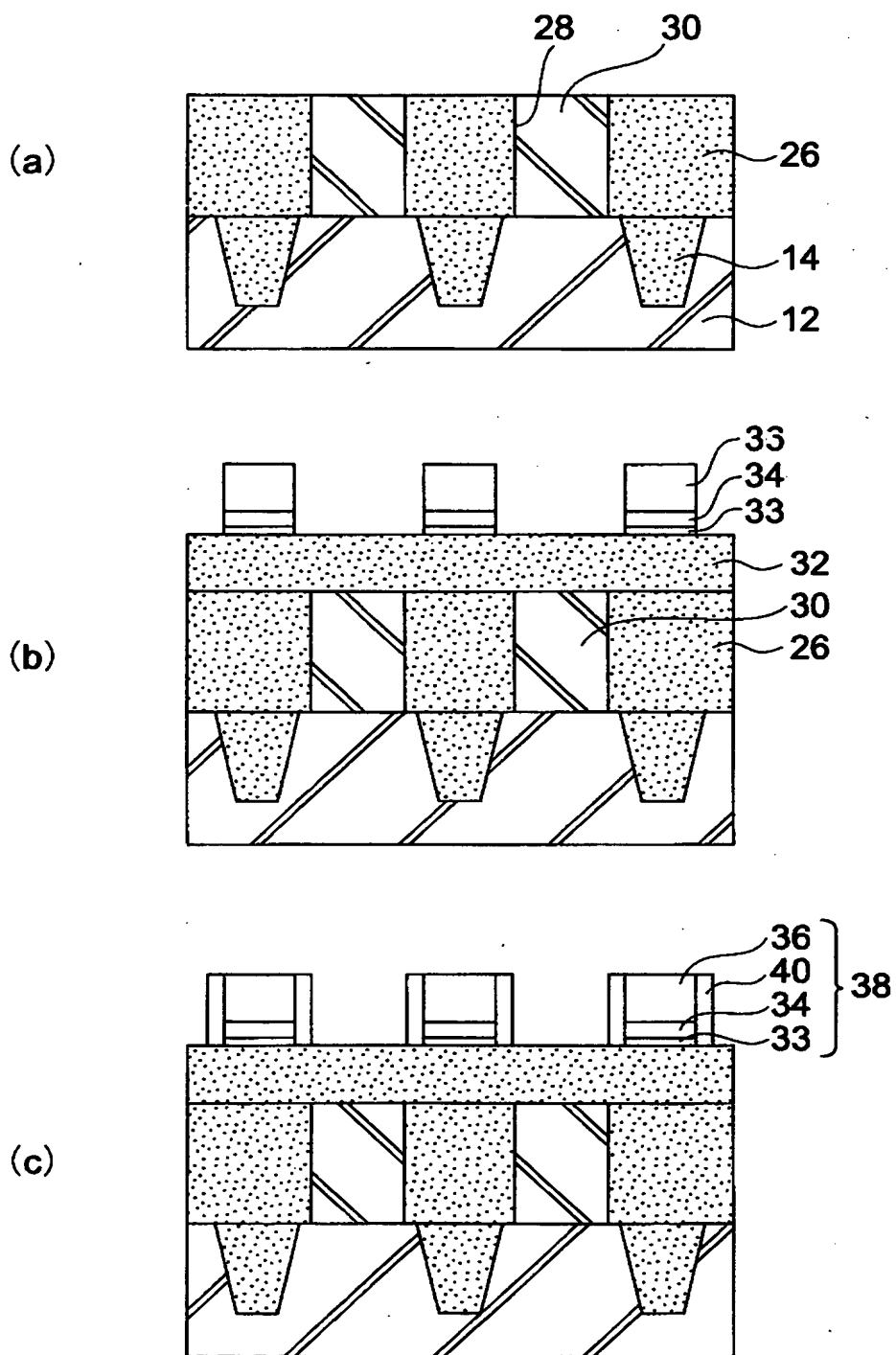
【図 3】



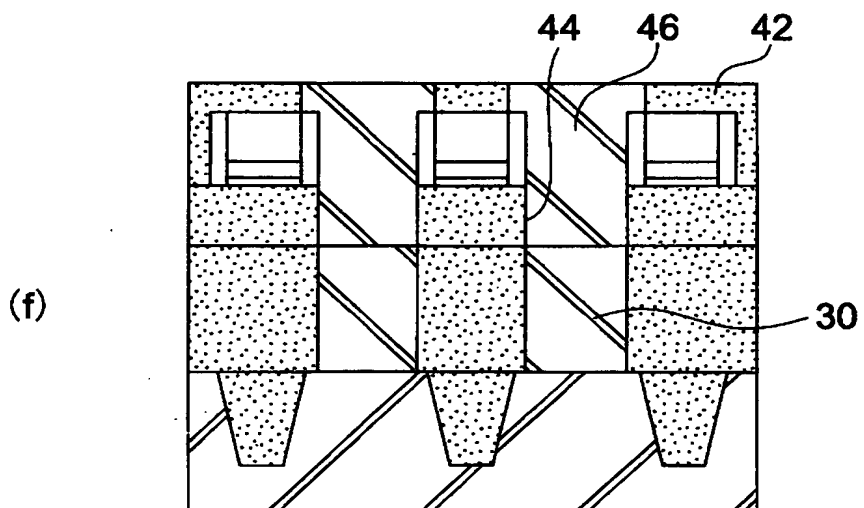
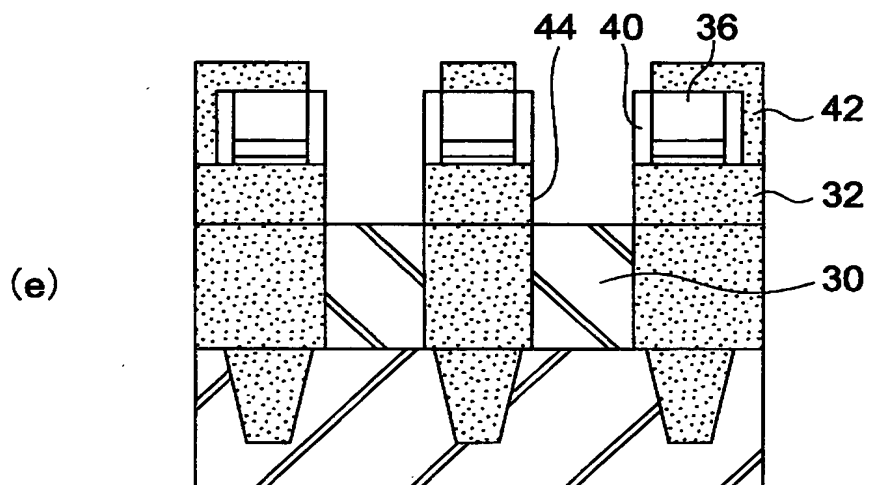
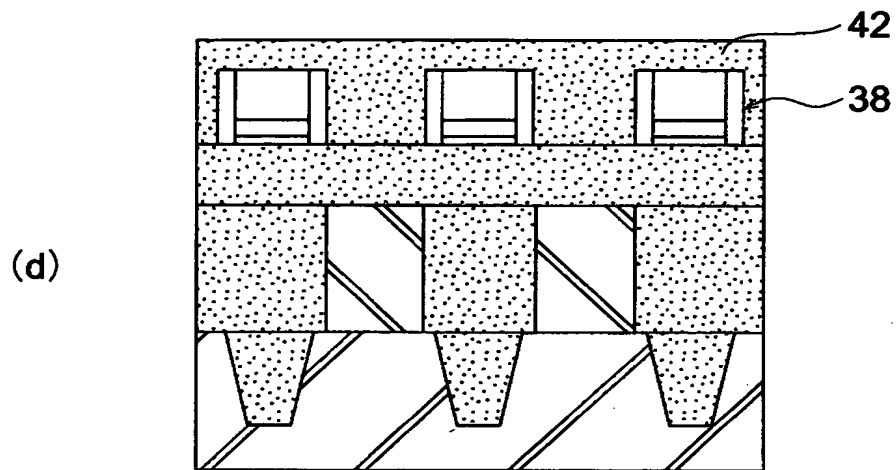
【図 4】



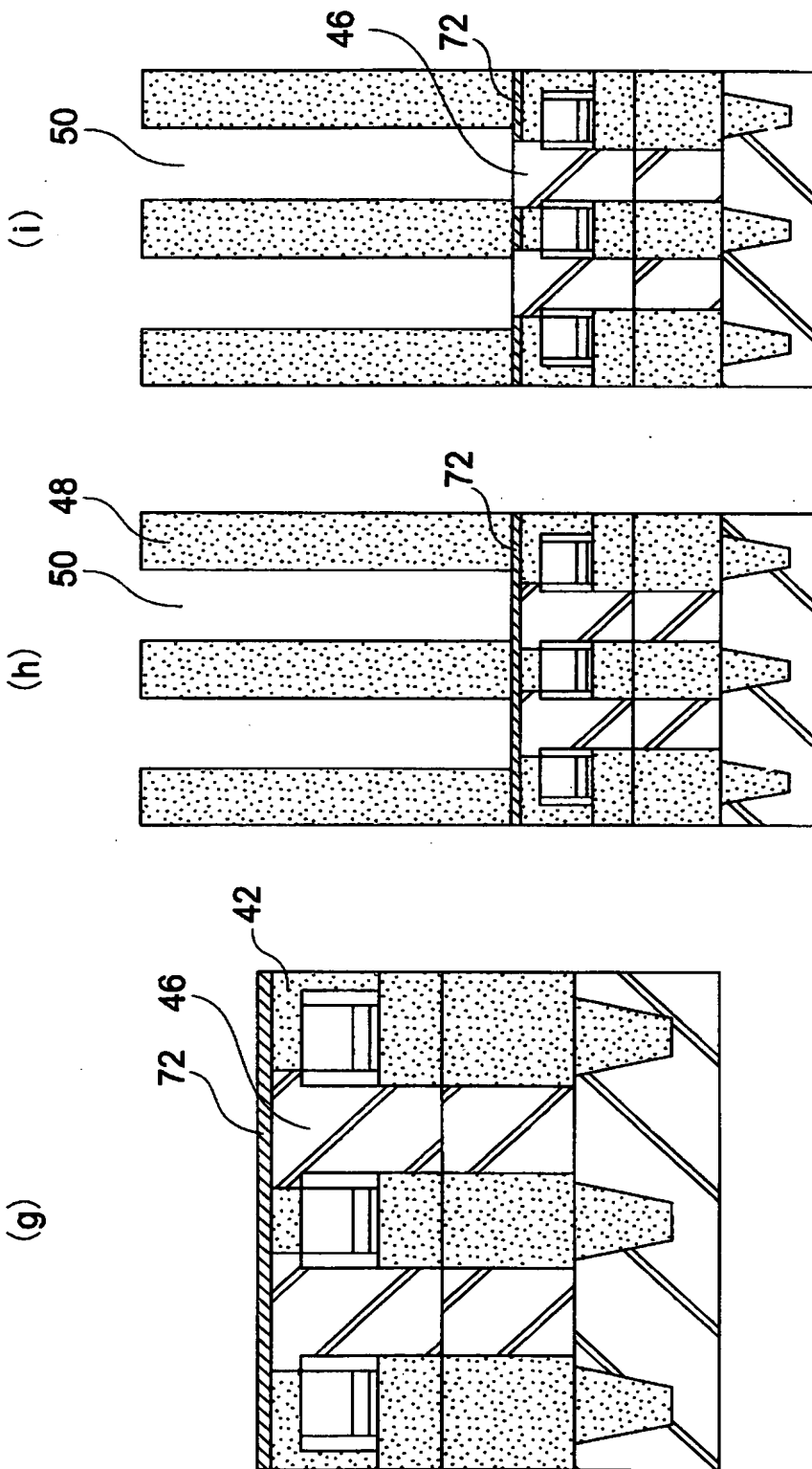
【図 5】



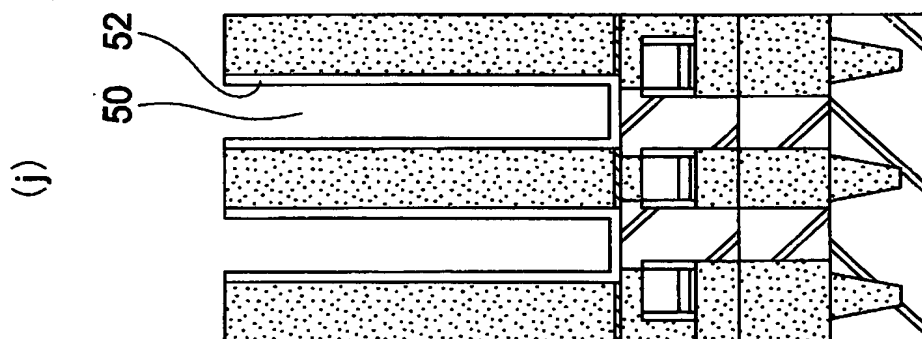
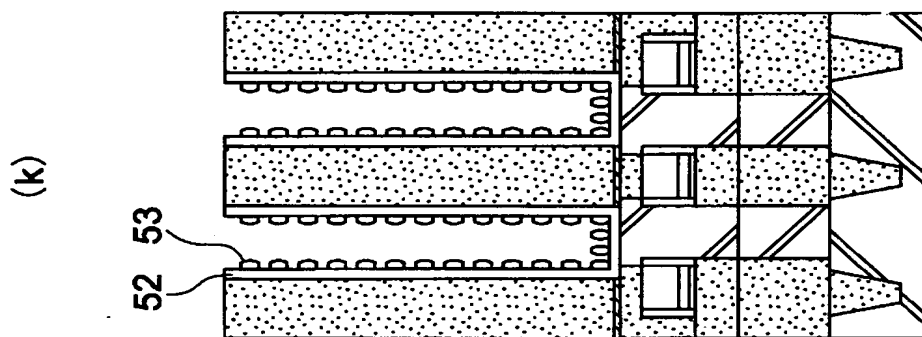
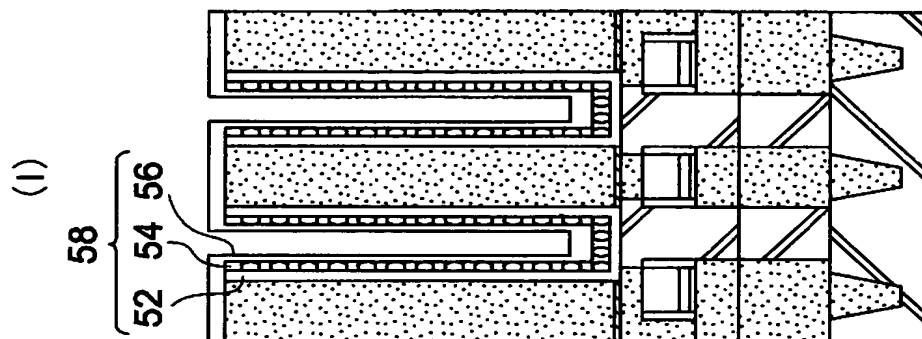
【図 6】



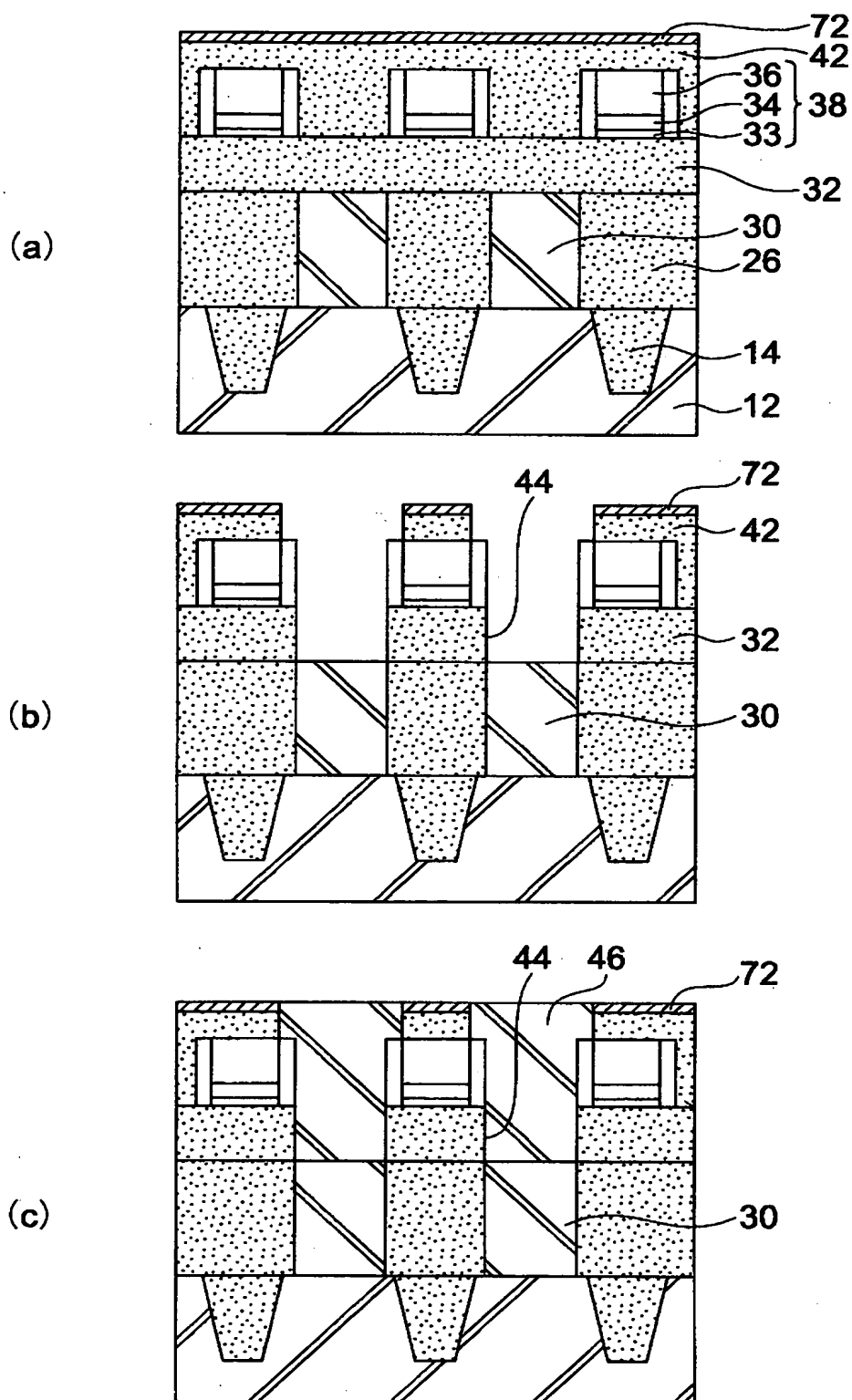
【図 7】



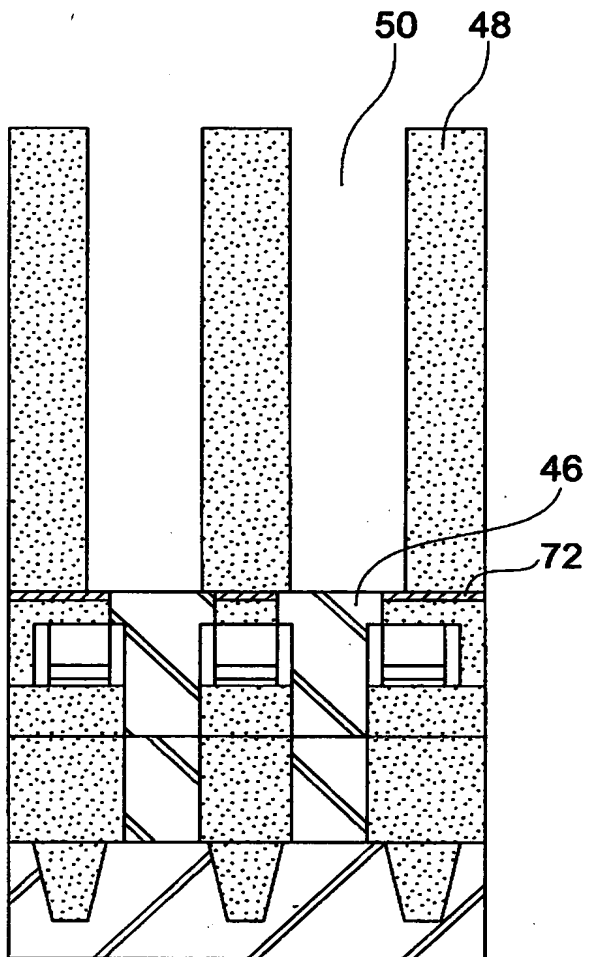
【图 8】



【図 9】



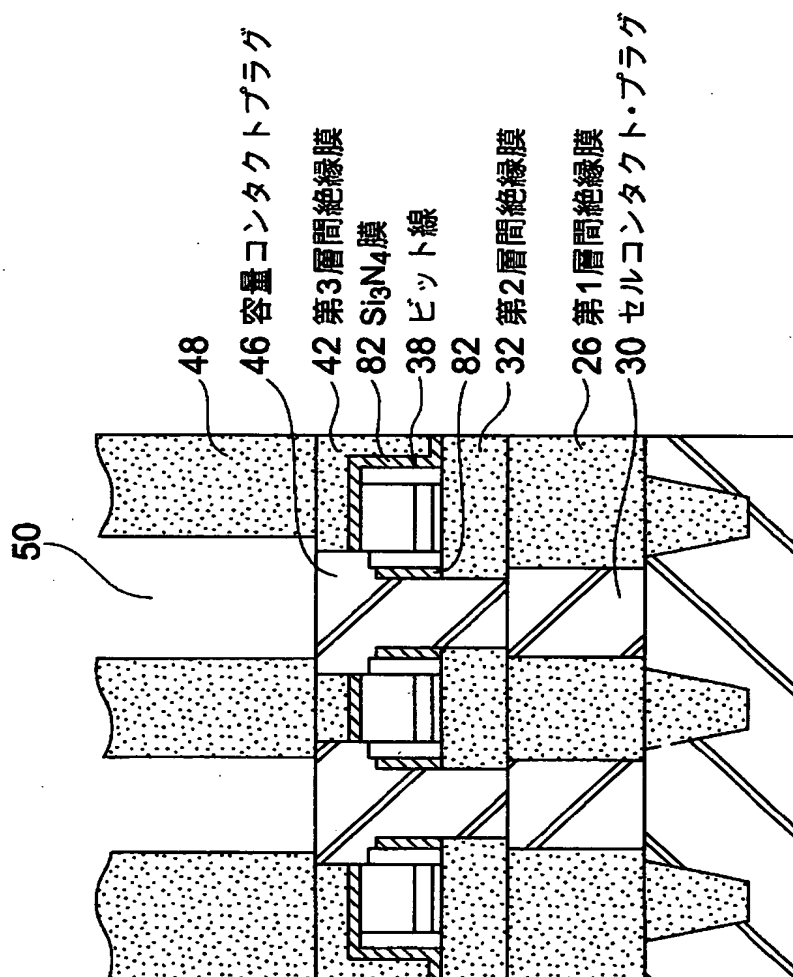
【図 1 0】



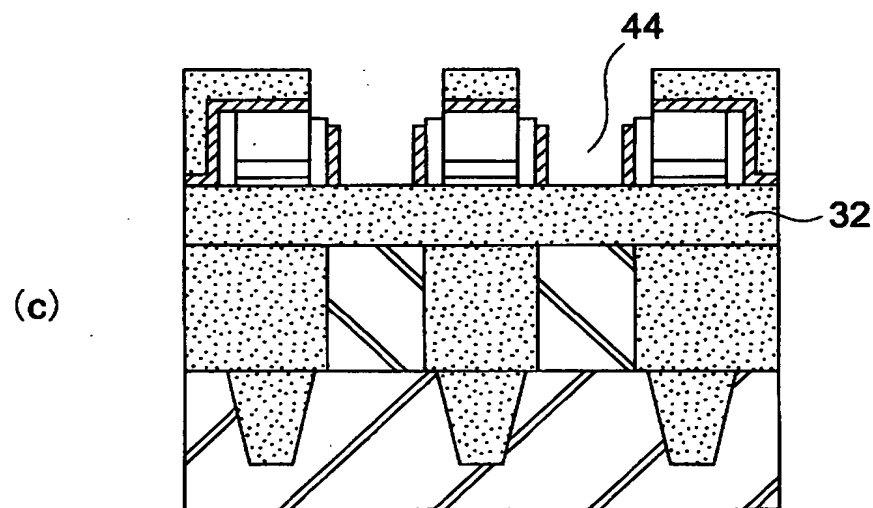
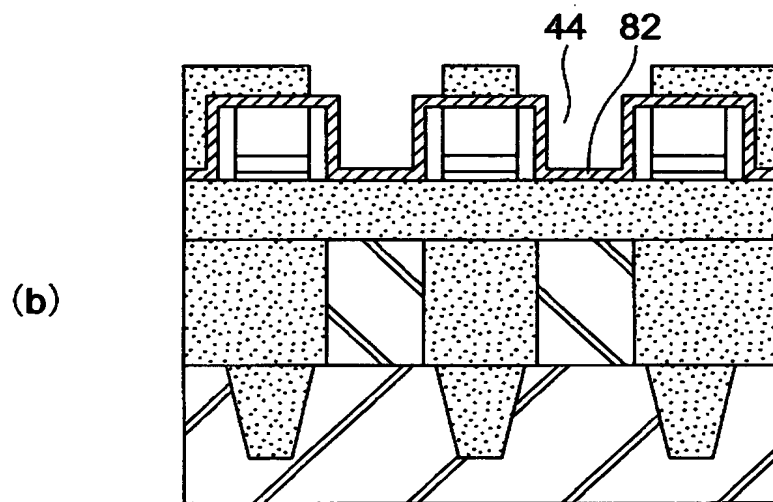
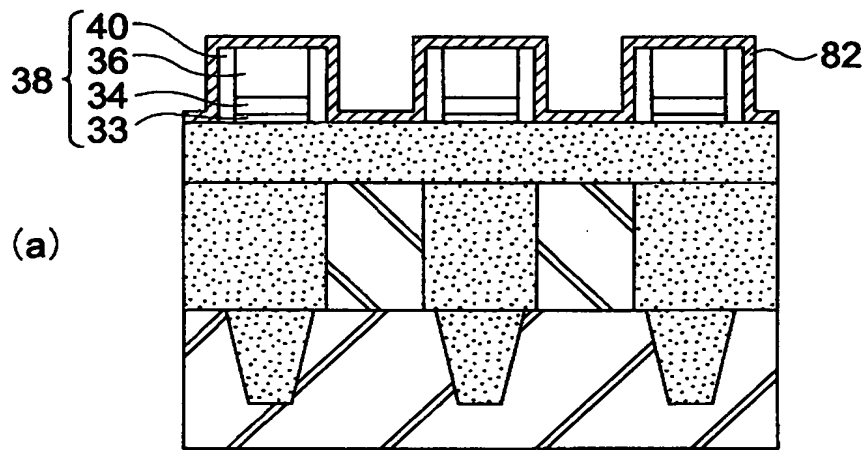


【図 11】

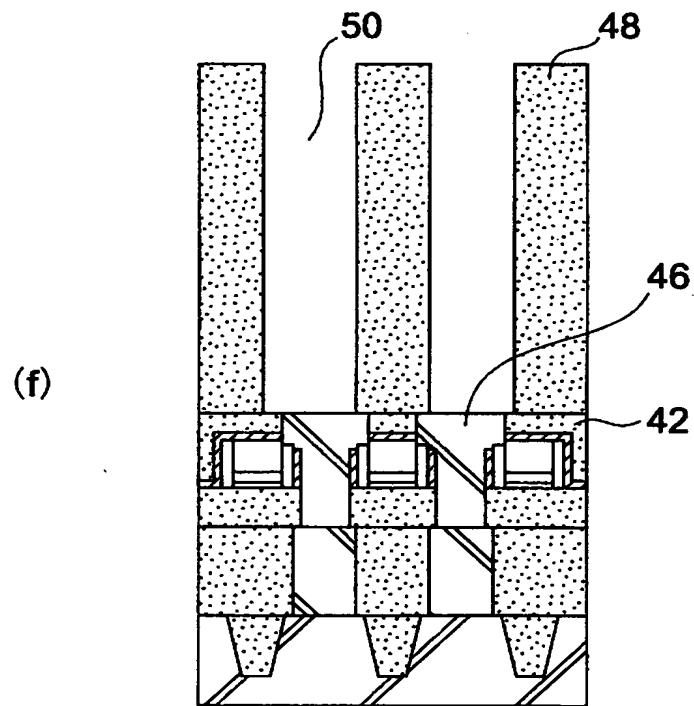
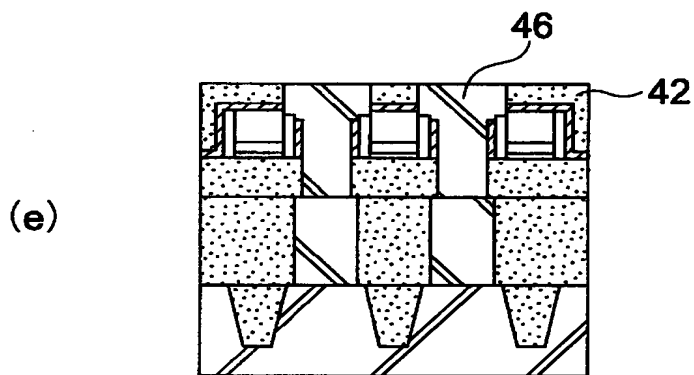
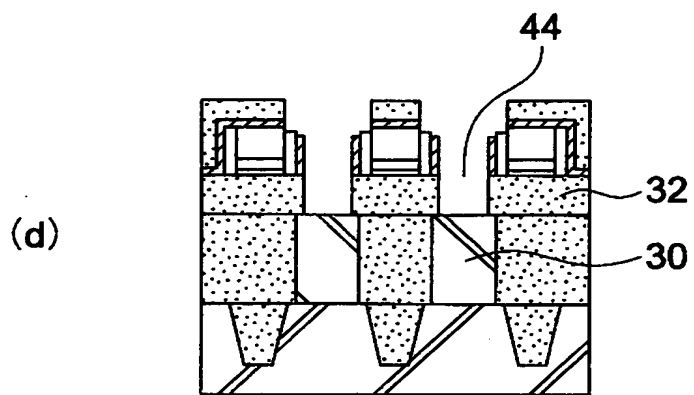
実施形態例3の  
DRAM80の要部



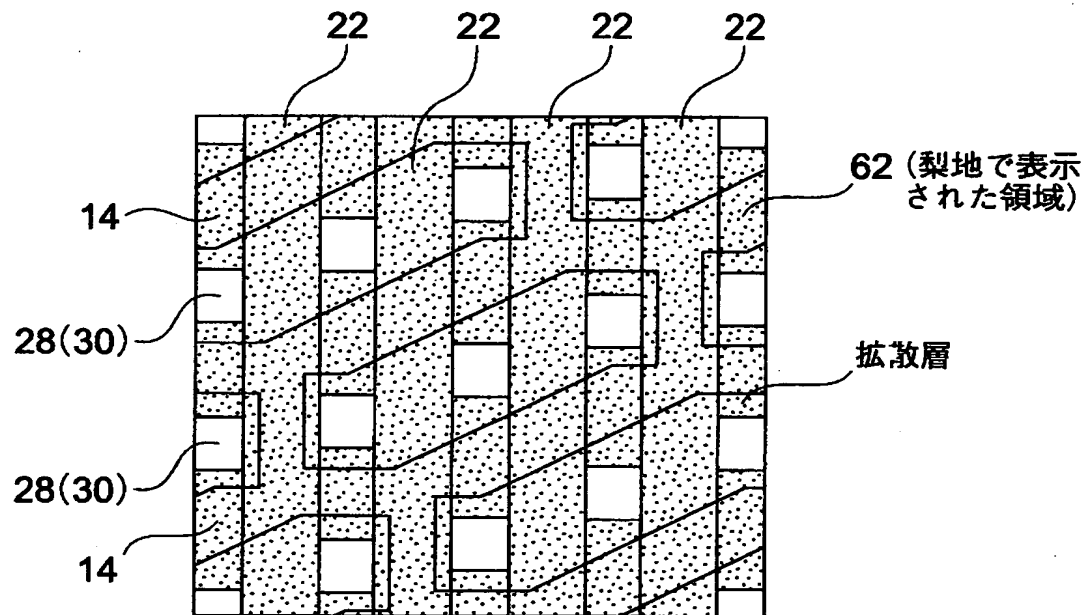
【図 1 2】



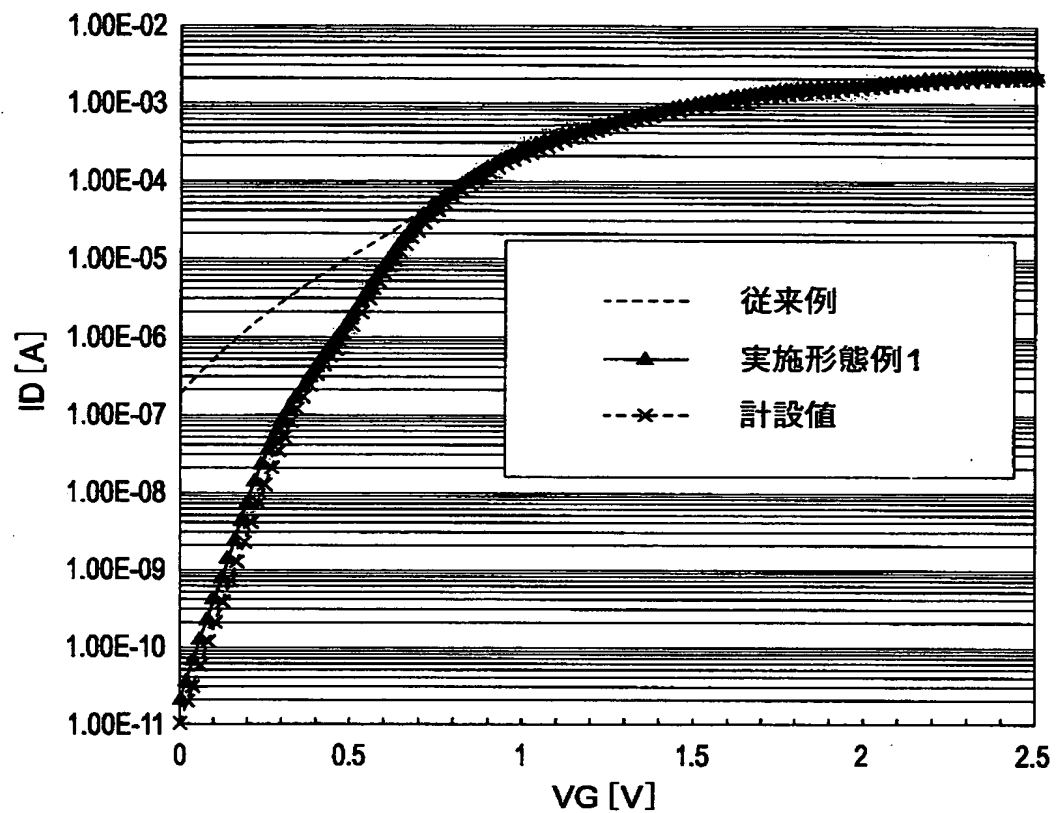
【図 1 3】



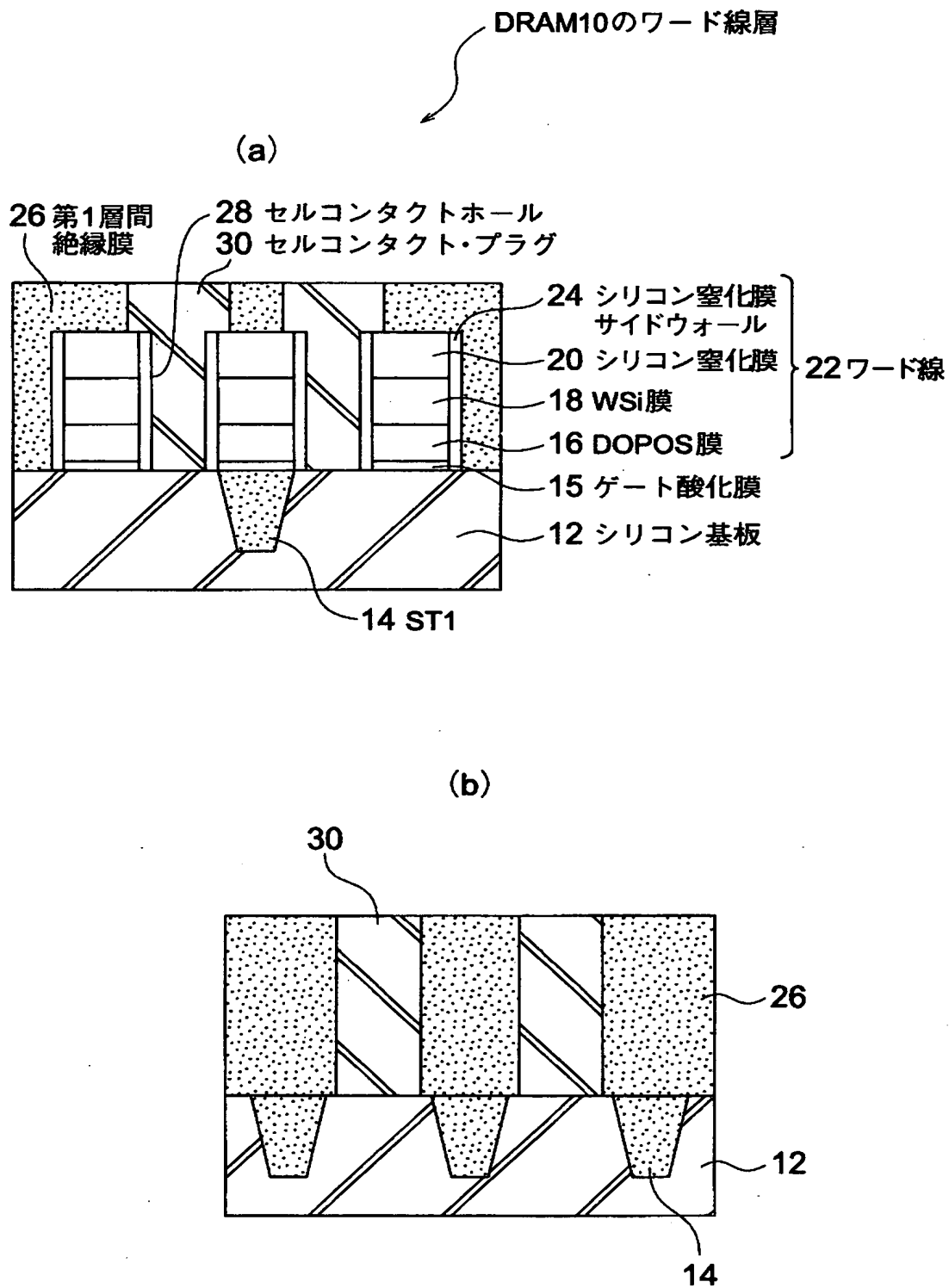
【図 1 4】



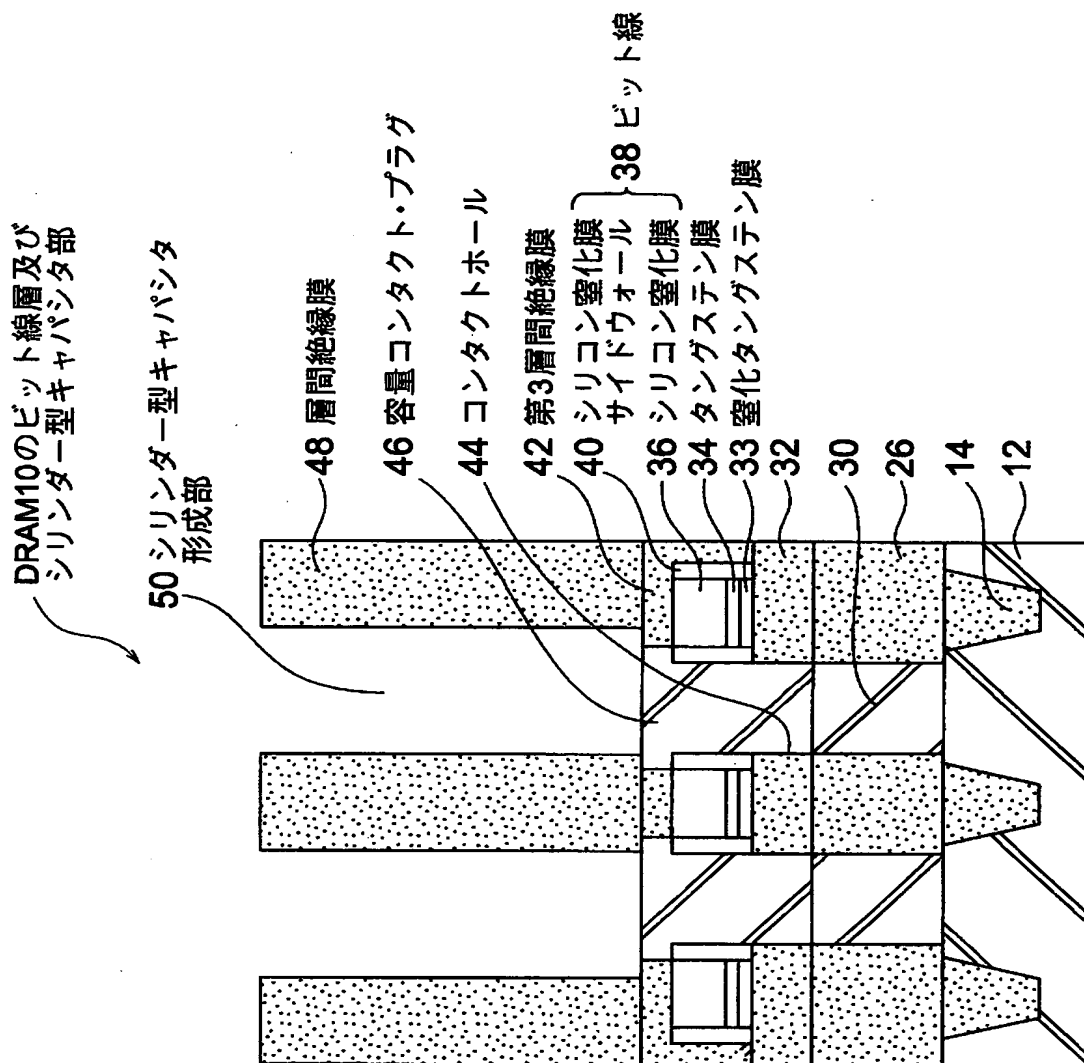
【図 1 5】



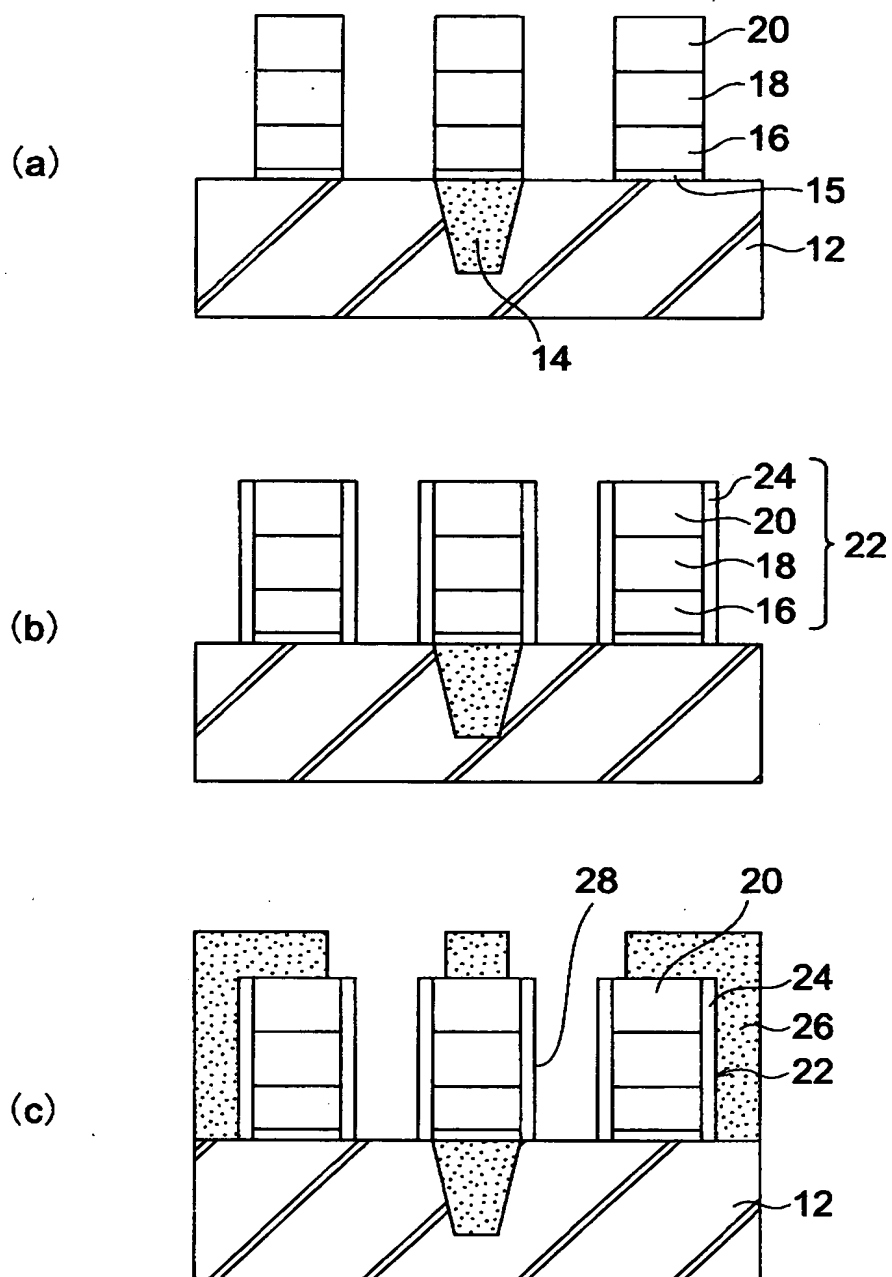
【図16】



【図 17】

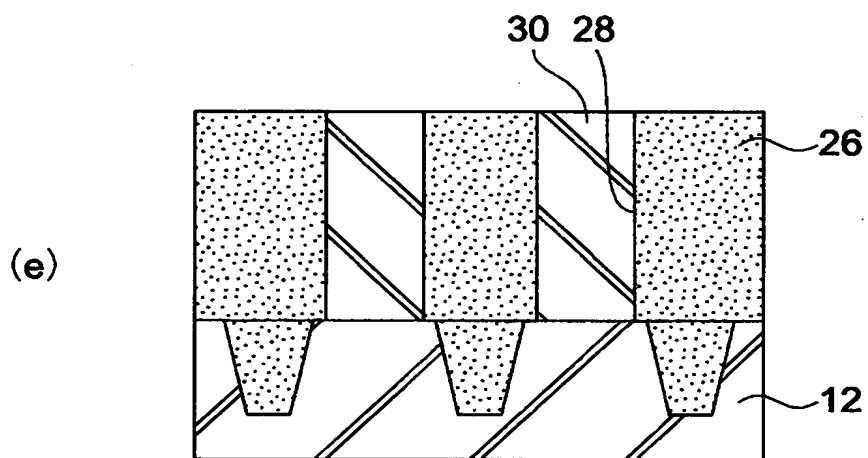
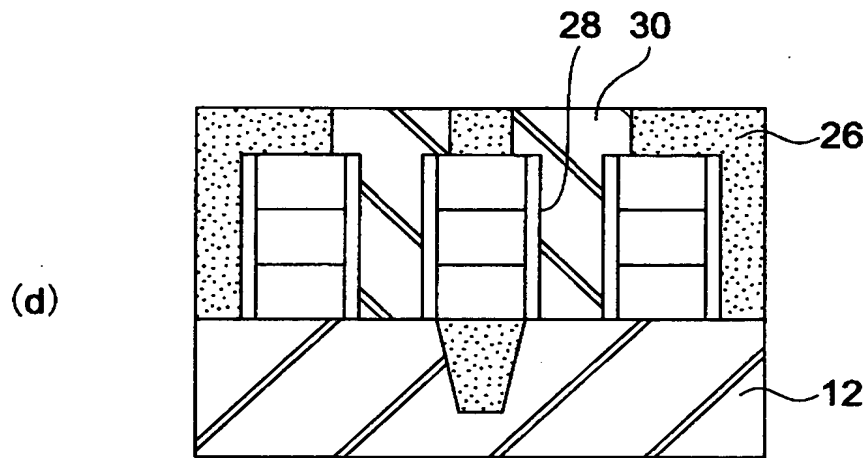


【図18】

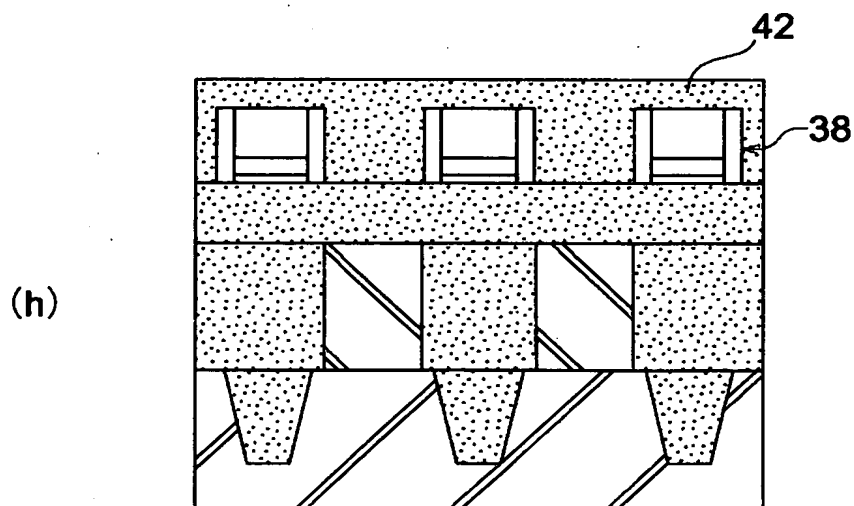
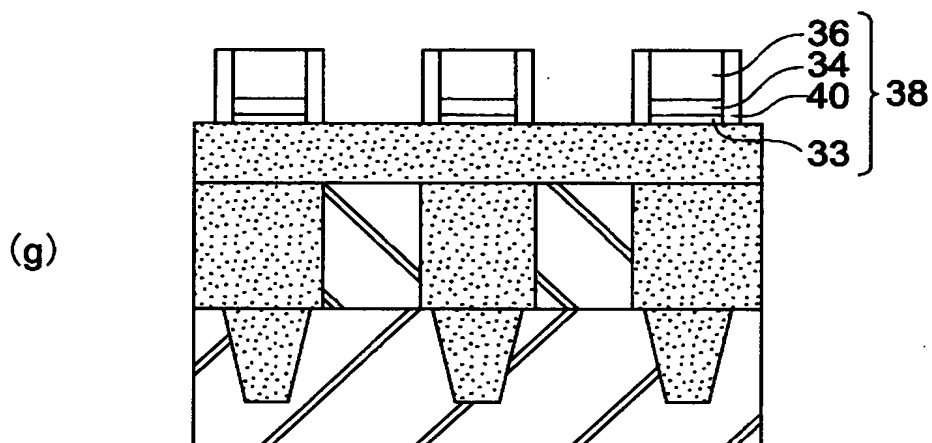
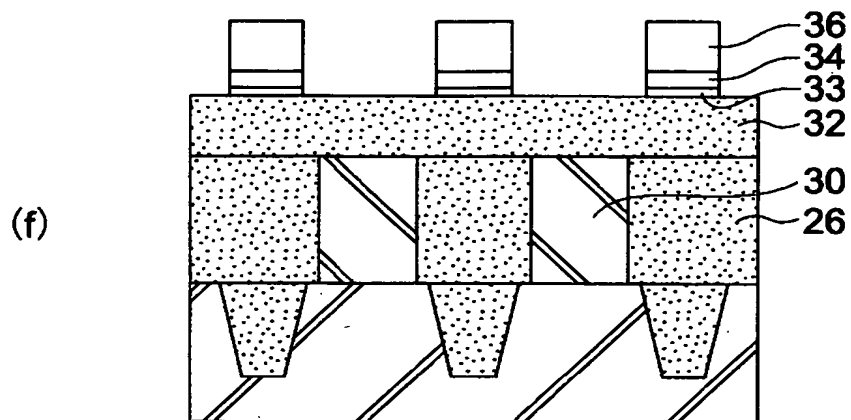




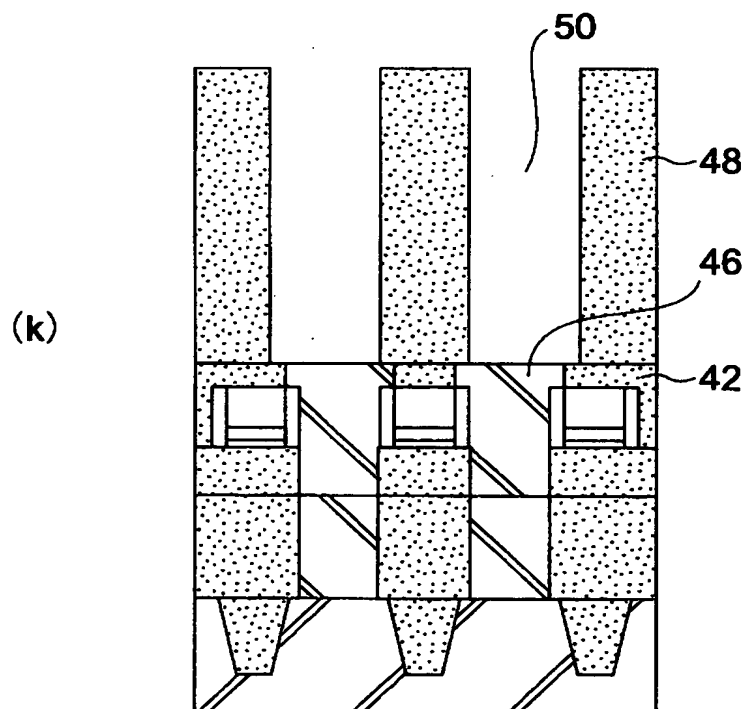
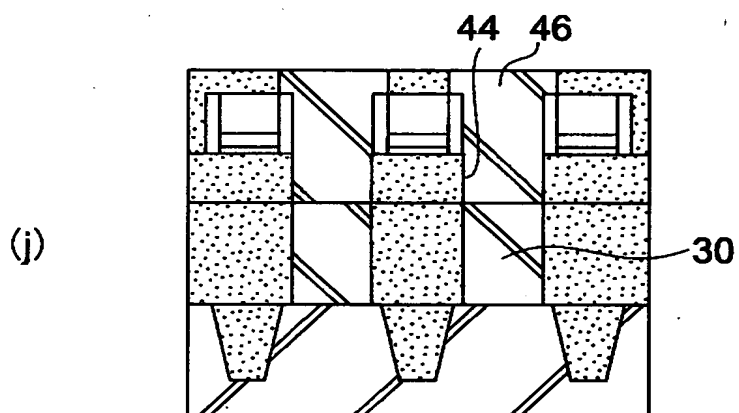
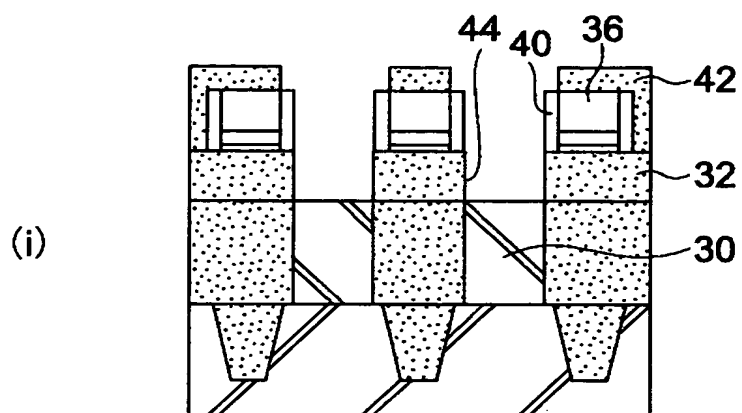
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 カーボンを含む原料ガスを使って成膜した絶縁膜を有するトランジスタ構造をシリコン基板上に備え、かつ所期のトランジスタ特性を示す半導体装置を提供することである。

【解決手段】 本半導体装置 6 0 は、 $Ta(OC_2H_5)_5$  を使って成膜した  $Ta_2O_5$  膜をキャパシタ部の容量絶縁膜として有する DRAM であって、セルコンタクト・プラグ 3 0 を形成したコンタクトホール 2 8 の底部を除くシリコン基板 1 2 上に、膜厚 1 0 0 Å の  $Si_3N_4$  膜 6 2 が、キャパシタ部の容量絶縁膜 ( $Ta_2O_5$  膜) を成膜する際に生じるカーボンの拡散を防止するカーボン拡散防止膜として成膜されている。DRAM は、第 1 層間絶縁膜 2 6 を貫通して、シリコン基板 1 2 内に形成された拡散層と接続するセルコンタクト・プラグを備え、カーボン拡散防止膜として、 $Si_3N_4$  膜が、セルコンタクト・プラグと拡散層との接続部を除いた領域を横断してシリコン基板 1 2 ないしワード線 2 2 の上面及び側面に成膜されている。これを除いて、本 DRAM は、従来の DRAM のトランジスタ部及びキャパシタ部と同じ構成を備えている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社